Vodila v osebnih računalnikih

- Osnovne lastnosti vodil
- Primerjava standardnih PC vodil
  - ISA
  - EISA
  - VLB
  - PCI
  - AGP
  - USB

Osnovne lastnosti vodil

- Način prenosa podatkov (sinhrono/asinhrono)
- Širina vodila
- Maksimalna frekvenca delovanja - prepustnost
- Podpora za več gospodarjev na istem vodilu (arbitraža)
- Avtomatska konfiguracija naprav na vodilu ob zagonu ali spremembah v sistemu

Osnovne karakteristike standardnih vodil

Bus	Width (bits)	Bus Speed (MHz)	Bus Bandwidth (MBytes/sec)
8-bit ISA	8	8.3	7.9
16-bit ISA	16	8.3	15.9
EISA	32	8.3	31.8
VLB	32	33	127.2
PCI	32	33	127.2
64-bit PCI 2.1	64	66	508.6
AGP	32	66	254.3
AGP (x2 mode)	32	66x2	508.6
AGP (x4 mode)	32	66x4	1,017.3

ISA (Industrial Standard Architecture)

- Prva verzija: 8 bit, 4.77Mhz
- 1984: 16 bit, 8Mhz (AT-bus)
- 1993: PnP ISA (intel in Microsoft)

Delovanje ISA vodila

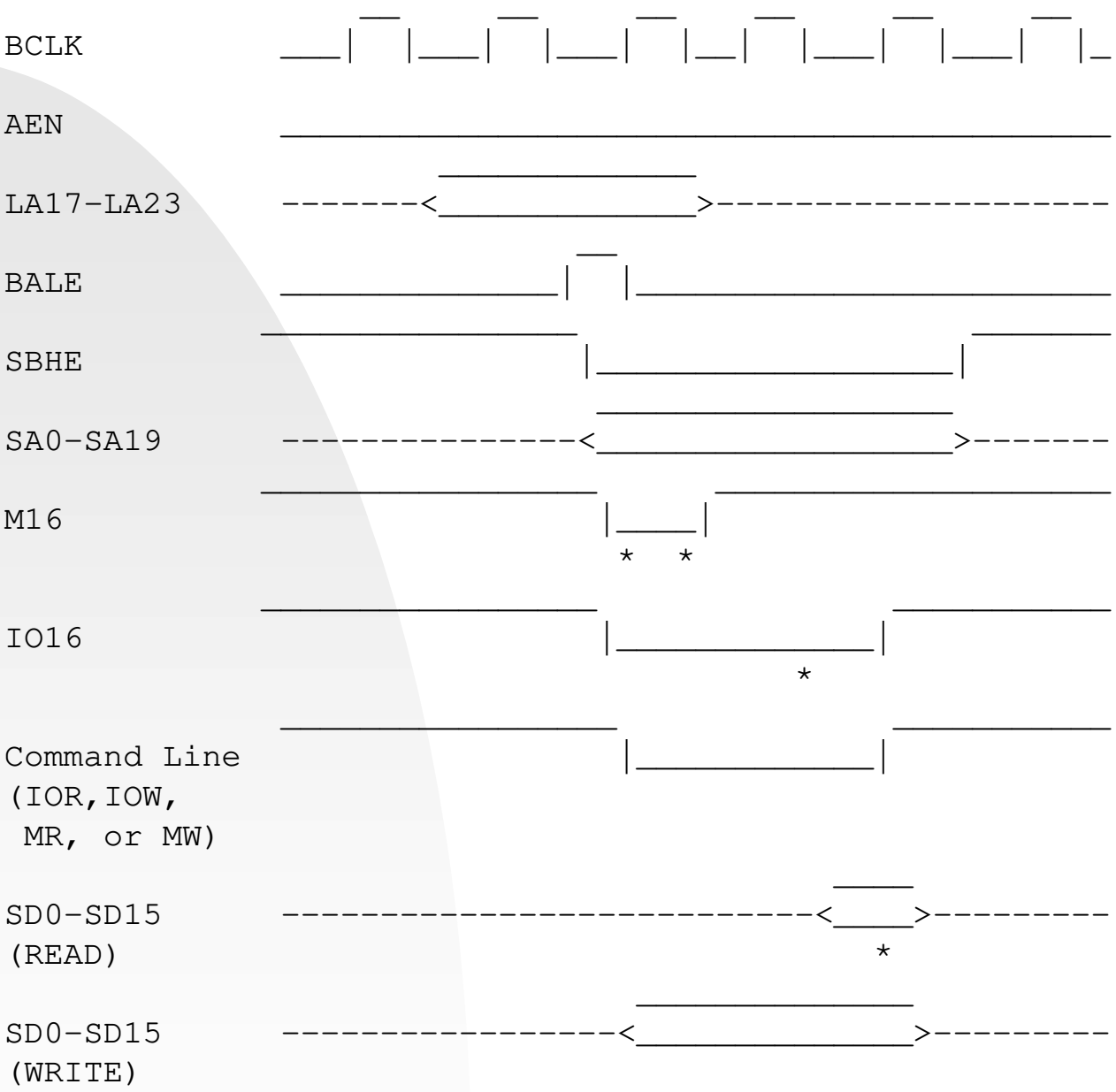
- sinhrono podatkovno vodilo
- nemultipleksirane naslovne in podatkovne linije
- omogoča klasični prenos podatkov (kot pomnilnik ali V/I območje) in DMA (direct memory access) prenos

Standardni priključki ISA vodila

CLK	Sistemska ura
SD0-SD15	16 bitno podatkovno vodilo (za 8 bitni prenos se uporabljajo linije SD0-SD7)
SA0-SA19	20 bitno naslovno vodilo.
IOR#,IOW#	Signal branja in signal pisanja na V/I področje.
SMEMR#, SMEMW#	Signal branja in signal pisanja na pomnilniško področje.
BALE	Veljavni naslov (address latch enable). Označuje, da je naslov podan na priključkih SA0-SA19 veljaven.
I/O CHRDY#	Postavi ciljna naprava za dodatno zakasnitev pri prenosu.
0WS#	Brez zakasnilnih ciklov (sicer 1 zakasnilni cikel)

MEMCS16#, I/OCS16#, SBHE#	Razširitvene linije za 16 bitni prenos.
LA17-LA23	Razširitvene naslovne linije.
DRQ0-DRQ3, DRQ5-DRQ7	Zahteva po DMA prenosu podatkov.
DACK0#-3#	Potrditev DMA prenosa.
AEN	Address enable. Postavi se pri DMA prenosu, da prepreči normalni prenos podatkov.
IRQ3-IRQ7, IRQ9-IRQ12, IRQ14-IRQ15	Prekinitvene linije.
14.3 Mhz	14.31818 za video.
...	

Časovni diagram



MCA (Micro Channel Architecture)

- 1987 (IBM)
- zamenjava za ISA
- 32 bit, PnP

http://www.techfest.com/hardware/bus/mc.htm

EISA (Extended Industry Standard Architecture)

- nadgradnja ISA
- 32 bit, PnP, več gospodarjev
- drago, ni bistveno boljše od ISA vodila

http://sunsite.tut.fi/hwb/co_EISA_Tech.html

VLB (VESA local bus)

- predvsem za grafične kartice (VESA = Video Electronics Standards Association)
- kompatibilen z ISA (ISA slot + dodatni VLB slot)
- 32 bit, ni PnP, ne podpira več gospodarjev, 33Mhz
- s pomočjo multipleksiranja je mogoč tudi 64 bitni prenos

http://sunsite.tut.fi/hwb/co_VLB_Tech.html

PCI (Peripheral Component Interconnect)

- danes najpogosteje uporabljeno vodilo
- 32 bit, PnP, podpira več gospodarjev, 33Mhz
- verizja 2.1 podpira 64 bit in 66Mhz

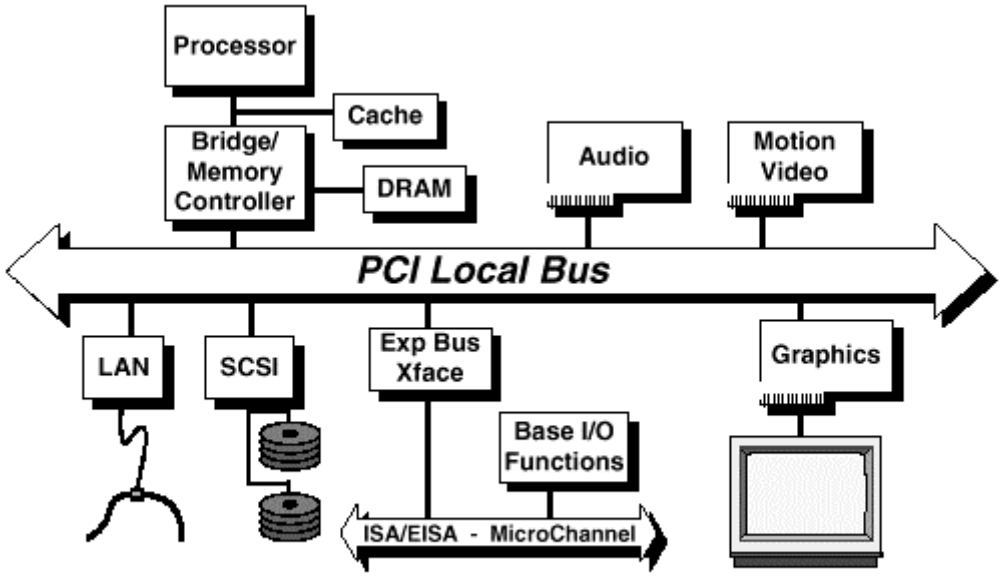


Figure 1-2: PCI System Block Diagram

Delovanje PCI vodila

- sinhrono podatkovno vodilo z več gospodarji in sužnji ter arbiterjem, ki skrbi za dodeljevanje vodila
- multipleksirane naslovne in podatkovne linije
- vsaka operacija je sestavljena iz naslovne faze in iz ene ali več podatkovnih faz:

1a. Gospodar postavi naslov sužnja in vrsto operacije (branje, pisanje, …)
1b. Suženj potrdi pripravljenost za izvedbo operacije
2. V taktu z uro se izvede prenos enega ali več podatkov. Tako suženj kot gospodar lahko vplivata na hitrost prenosa podatkov.

Prenos običajno zaključi gospodar, lahko pa ga prekine suženj ali druga naprava na vodilu (ob napaki).

Standardni priključki PCI vodila

CLK	Sistemska ura s katero so sinhronizirani ostali signali.
AD[31:0]	Multipleksirano vodilo za naslove in podatke. Naslov je vedno poravnan na besedo (AD[1:0]='00'). AD[31:24] je najpomembnejši zlog, AD[7:0] je najmanj pomemben zlog.
C/BE[3:0]#	Ukaz vodila (Bus Command) v naslovni fazi: 1010 Configuration Read 1011 Configuration Write 0110 Memory Read 1100 Memory Read Multiple (čitanje strani) 0111 Memory Write Selektiranje bajtov (Byte Enables) v podatkovni fazi: bit C/BE[3] ustreza AD[31:24] zlogu ... bit C/BE[0] ustreza AD[7:0] zlogu

FRAME#	Okvir (Cycle Frame). Postavi gospodar, da označi trajanje dostopa do vodila. FRAME# se postavi na začetku prenosa podatkov in je postavljen dokler traja prenos.
IRDY#	Iniciator je pripravljen (Initiator Ready). Označuje možnost gospodarja, da dokonča trenutno podatkovno fazo.
TRDY#	Ciljna naprava je pripravljena (Target Ready). Signalizira zmožnost ciljne naprave, da je sposobna dokončati trenutni podatkovni cikel. Uporablja se v kombinaciji z IRDY# signalom za krmiljenje hitrosti prenosa podatkov.
DEVSEL#	Izbira naprave (Device Select). Preko nje naslovljena enota sporoči, da je razpoznala naslov.

Časovni diagrami

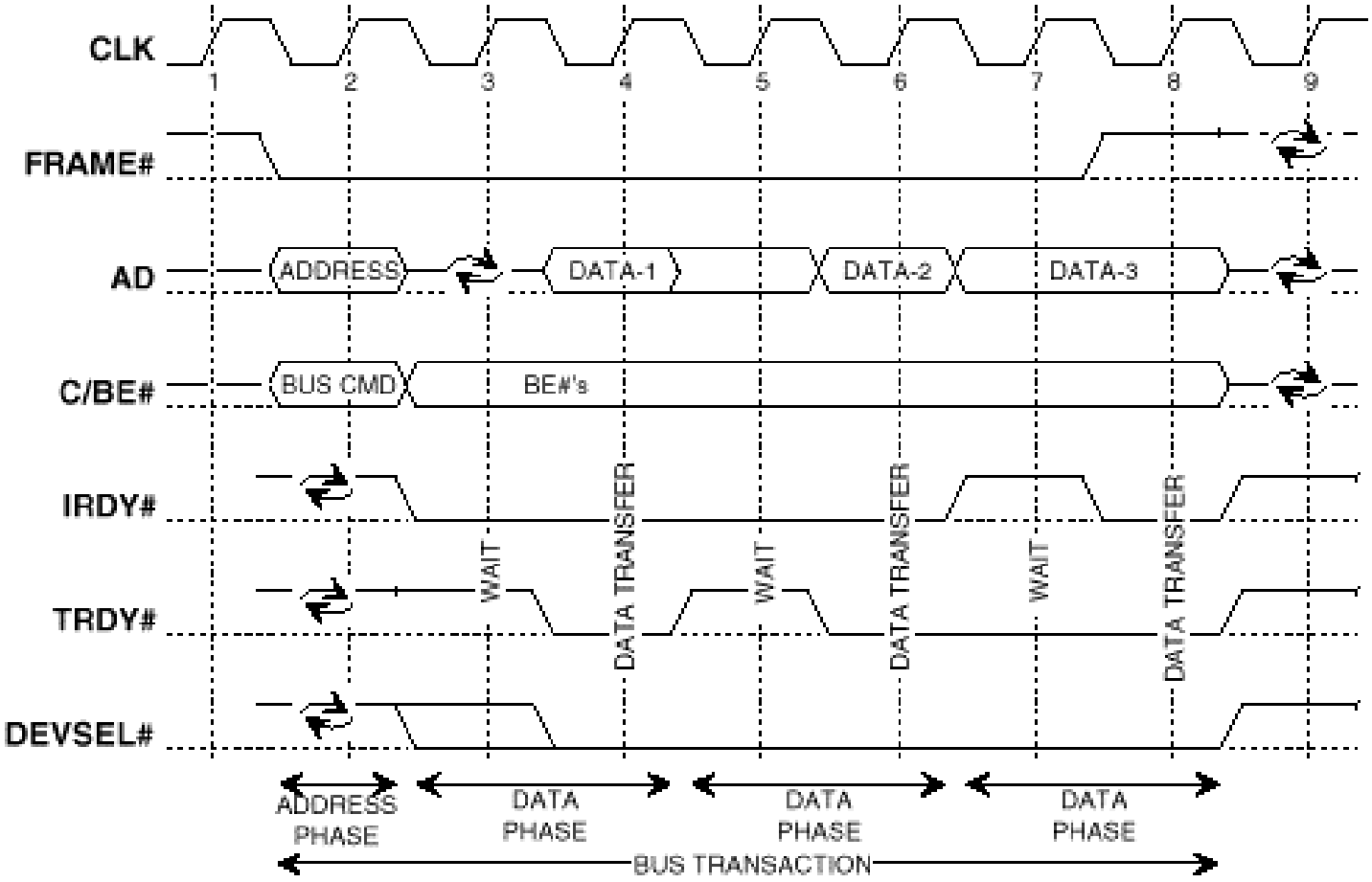


Figure 3-1: Basic Read Operation

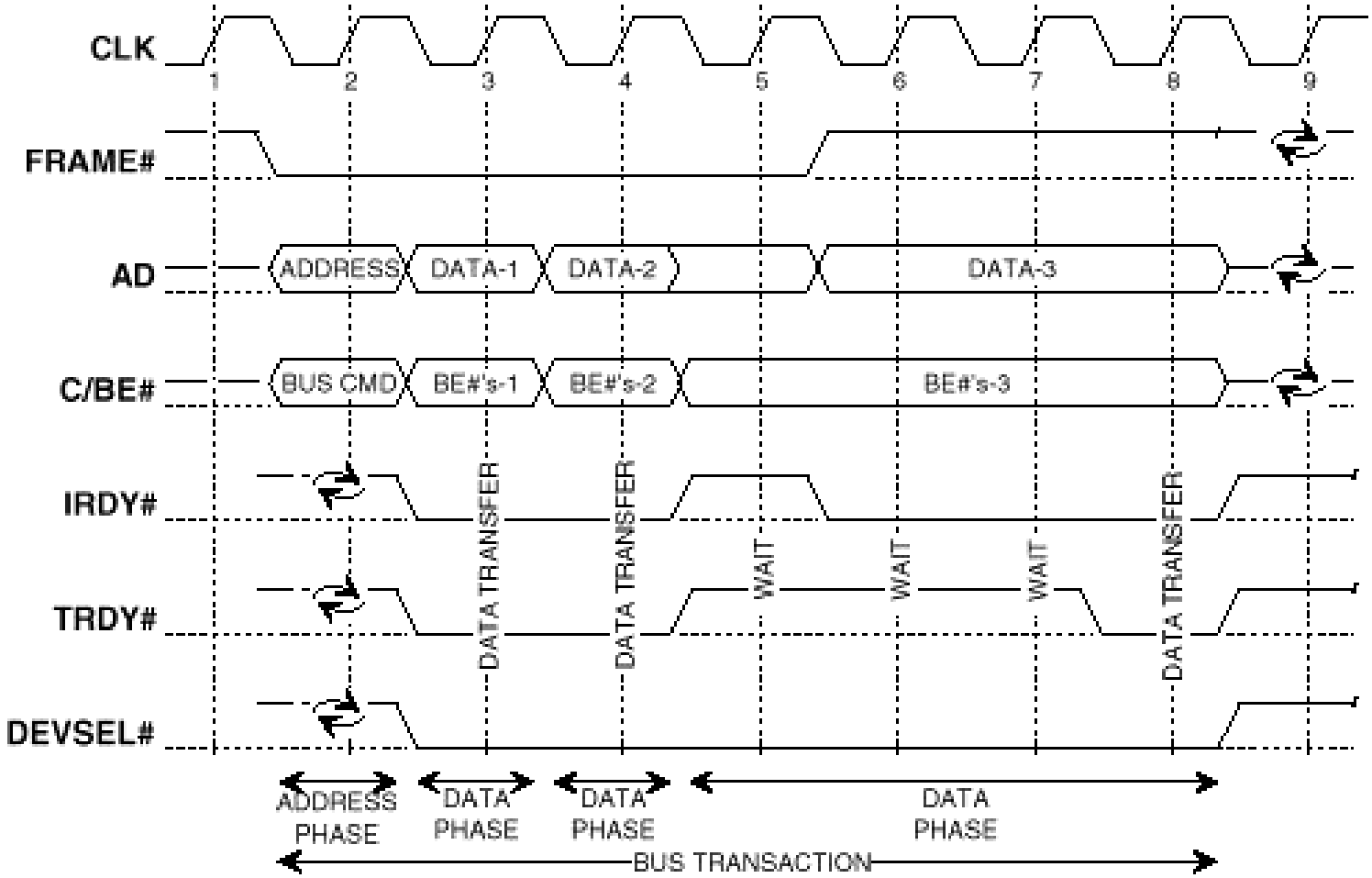


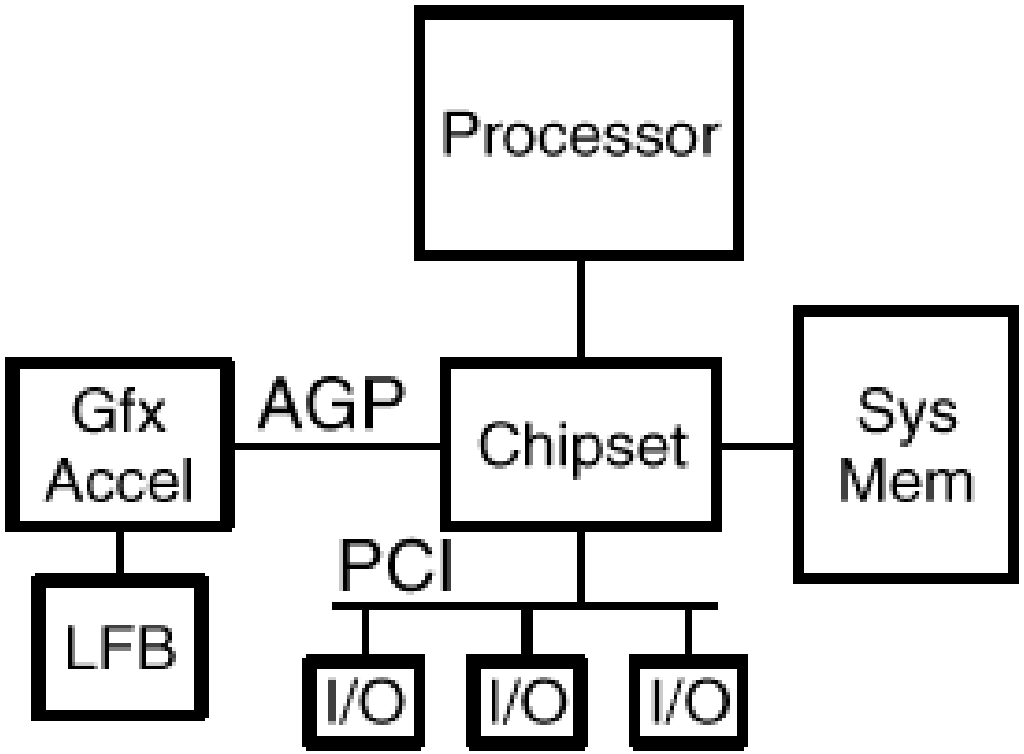
Figure 3-2: Basic Write Operation

Ostali priključki PCI vodila

PAR,PERR#	Pariteta, napaka paritete. Soda pariteta preko AD[31:0] in C/BE[3:0]# signalov. Generira jo gospodar za naslovno fazo in za podatkovno fazo pisanja. Generira jo suženj ob podatkovni fazi čitanja. Napako paritete javi naprava, ki sprejema podatke.
REQ#,GNT#	Zahteva za vodilom, potrditve zahteve. Za arbitražo vodila.
STOP#	S tem signalom ciljna naprava obvesti gospodarja, da prekine s prenosom iz kakršnih koli razlogov (napaka).
IDSEL	Izbira naprave ob inicializaciji (Initialization Device Select). Se uporablja ob vzpostavitvi konfiguracije sistema.
AD[63:32], C/BE[7:4], REQ64#, ACK64#,PAR64#	Razširitvene linije za 64 bitni dostop.

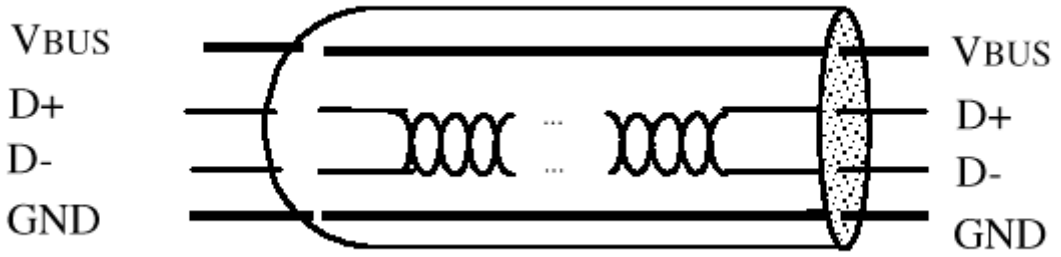
AGP (Accelerated Graphics Port)

- 1997 za podporo video naprav
- ni klasično vodilo
- povezuje CPU z grafično kartico
- omogoča delitev glavnega pomnilnika med obema
- podpira PCI način prenosa (uporablja iste priključke kot PCI) in dodatni (pipeline) prenos
- 32 bit, 66 Mhz
- v načinih x2 in x4 prenese v enem urinem ciklu dva oz. štiri podatke

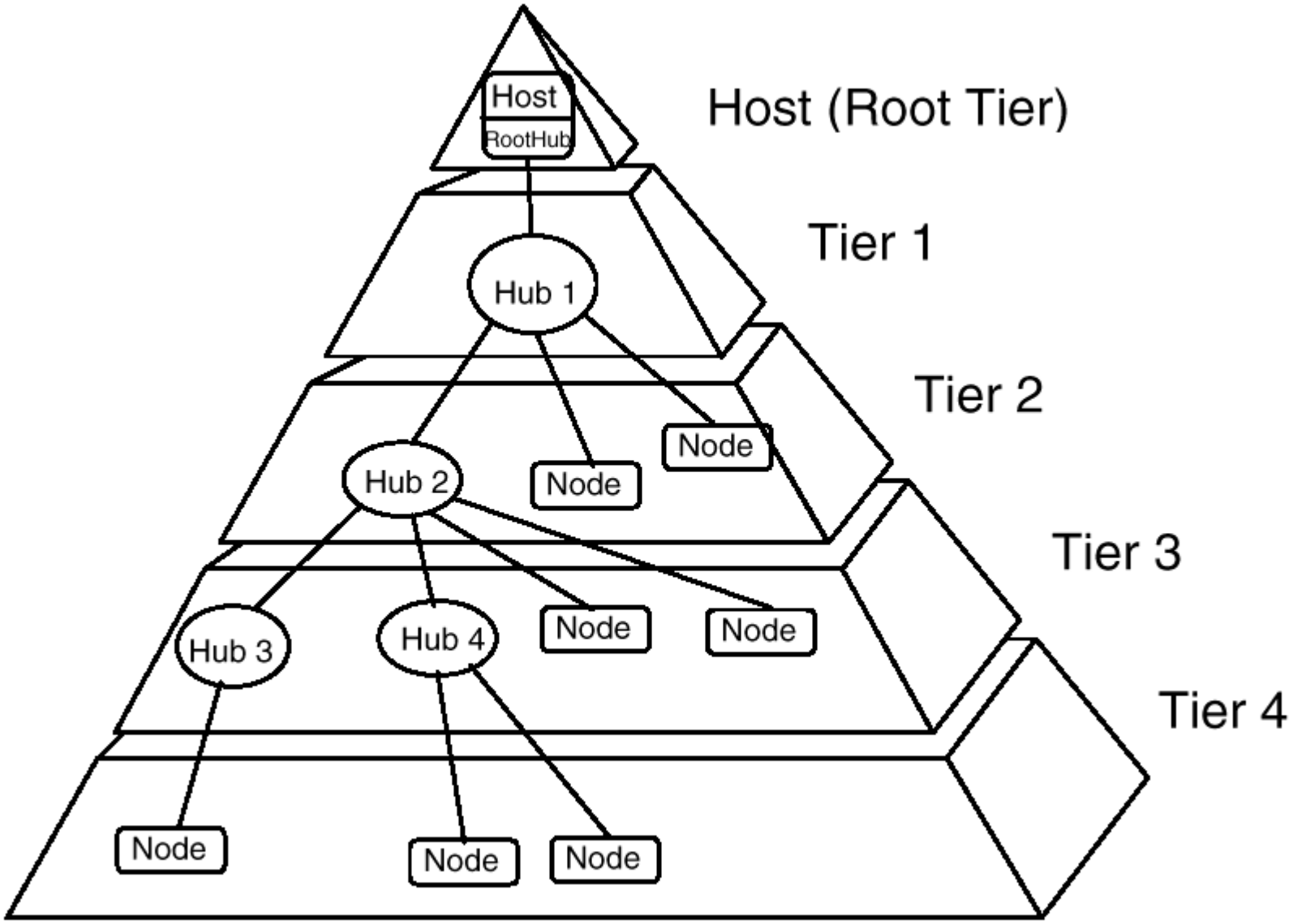

Processor
Gfx
Accel
AGP
Chipset
Sys
Mem
PCI
LFB
I/O
I/O
I/O

USB (Universal Serial Bus)

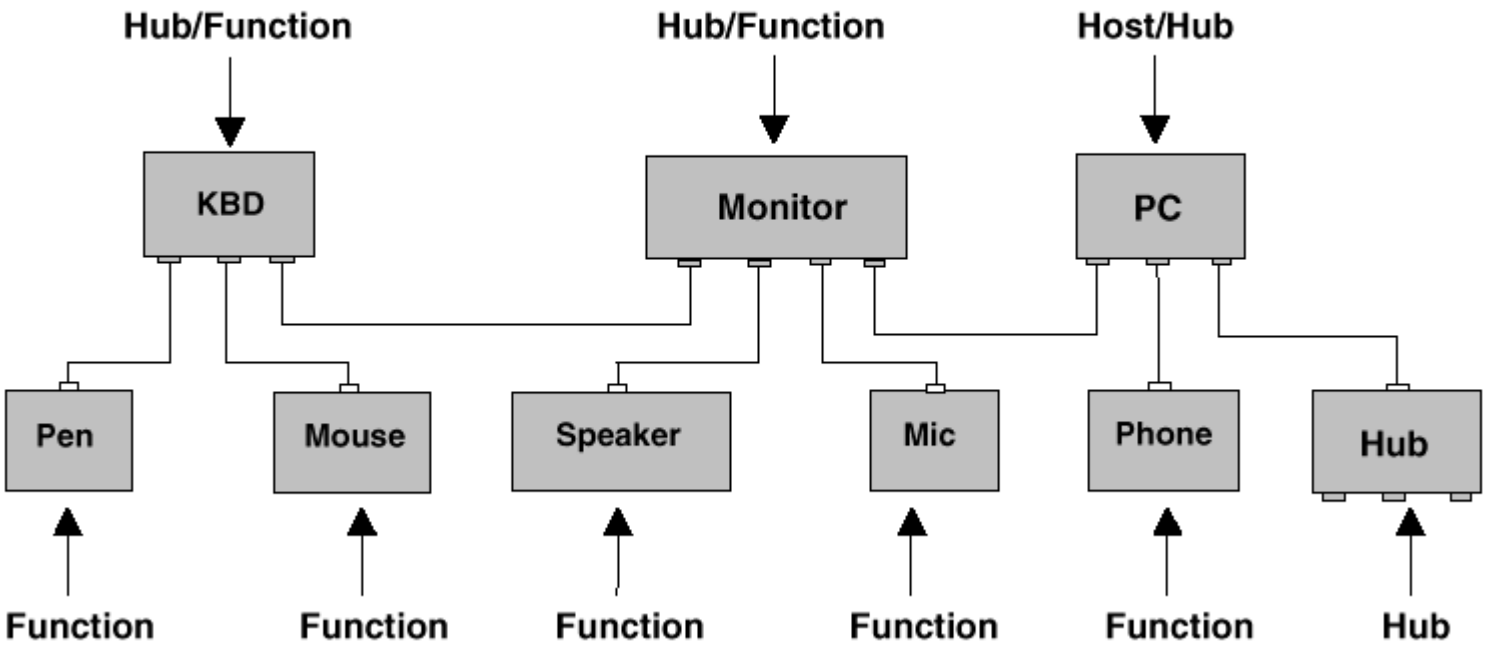
- 1995 (Compaq, Intel, Microsoft, NEC)
- sinhrono (in asinhrono) serijsko vodilo
- samodejna konfiguracija naprav
- 4 žile (2 za napajanje in 2 za podatke)
- do 127 naprav
- 1,5 Mb/s ali 12 Mb/s (USB 2.0 do 480 Mb/s)

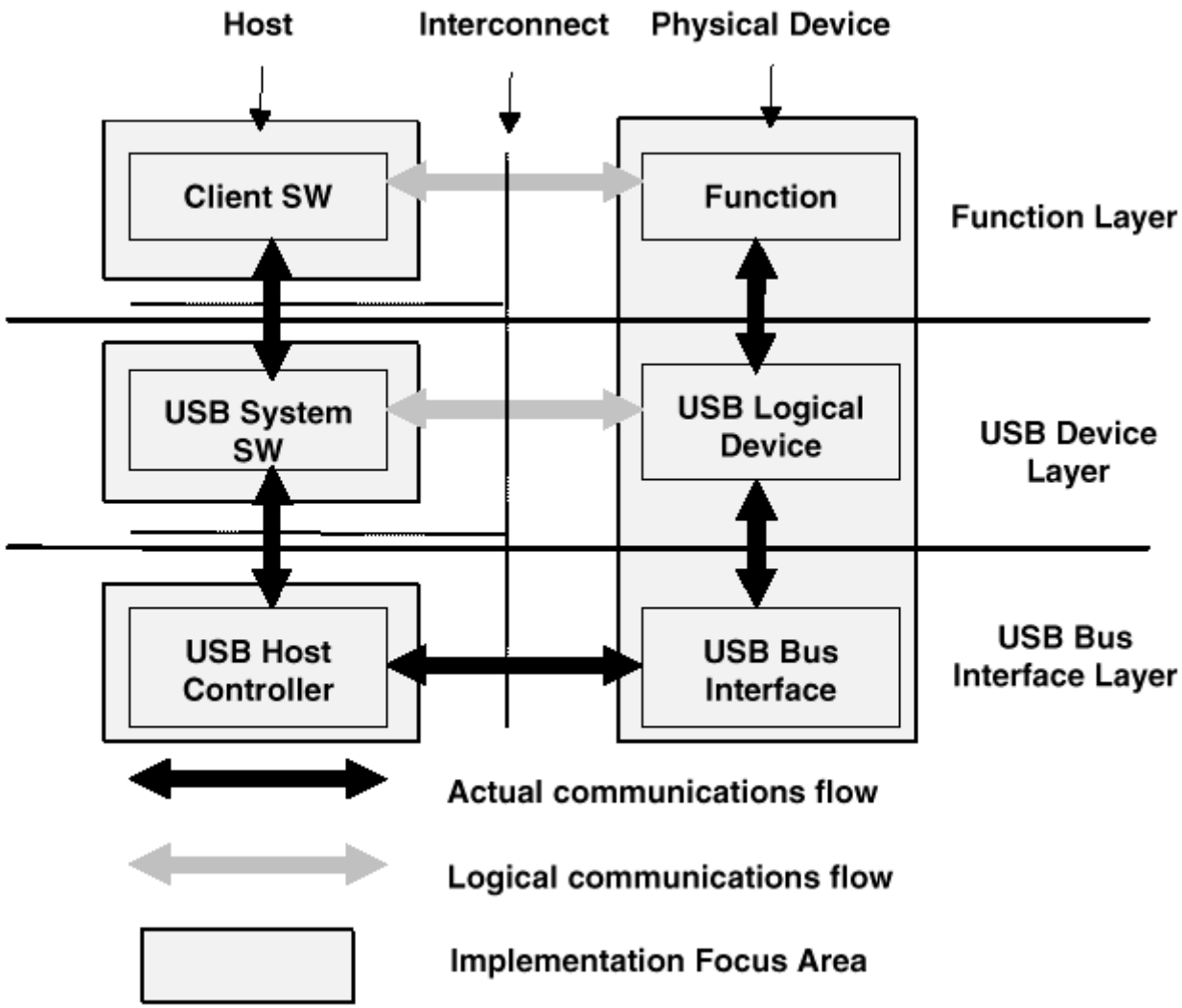


Topologija USB vodila

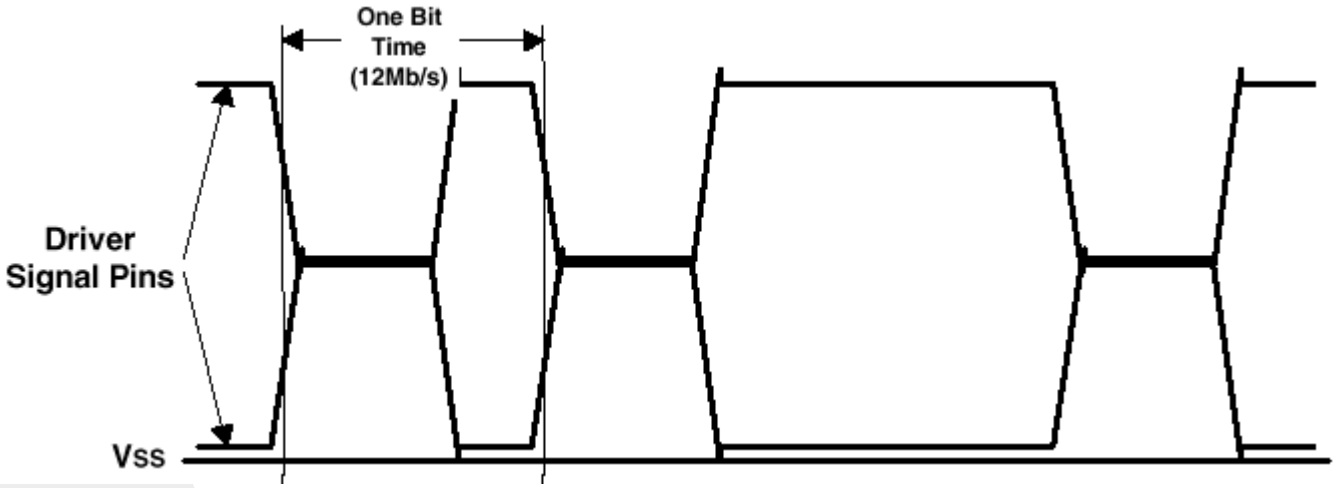


- USB gostitelj (host) (samo en)
- razdelilniki (hubs)
- vozlišča (nodes)




Host
Interconnect
Physical Device
Client SW
Function
Function Layer
USB System SW
USB Logical Device
USB Device Layer
USB Host Controller
USB Bus Interface
USB Bus Interface Layer
Actual communications flow
Logical communications flow
Implementation Focus Area

Potek komunikacije



SYNC	PID	PODATKI	CRC	EOP	

KJKJKJKK

Table 7-1. Signaling Levels

Bus State	Signaling Levels		
	At originating source connector (at end of bit time)	At final target connector	
		Required	Acceptable
Differential "1"	D+ > V_{OH} (min) and D- < V_{OL} (max)	(D+) - (D-) ≥ 200mV and D+ ≥ V_{IH} (min)	(D+) - (D-) ≥ 200mV
Differential "0"	D- > V_{OH} (min) and D+ < V_{OL} (max)	(D-) - (D+) > 200mV and D- ≥ V_{IH} (min)	(D-) - (D+) > 200mV
Single-ended 0 (SE0)	D+ and D- < V_{OL} (max)	D+ and D- < V_{IL} (max)	D+ and D- < V_{IH} (min)
Data J state: Low-speed Full-speed	 Differential "0" Differential "1"	 Differential "0" Differential "1"	
Data K state: Low-speed Full-speed	 Differential "1" Differential "0"	 Differential "1" Differential "0"	
Idle state: Low-speed Full-speed	N.A.	 D- > V_{IHZ} (min) and D+ < V_{IL} (max) D+ > V_{IHZ} (min) and D- < V_{IL} (max)	 D- > V_{IHZ} (min) and D+ < V_{IH} (min) D+ > V_{IHZ} (min) and D- < V_{IH} (min)
Resume state	Data K state	Data K state	
Start-of-Packet (SOP)	Data lines switch from Idle to K state		
End-of-Packet (EOP)*	SE0 for approximately 2 bit times* followed by a J for 1 bit time*	SE0 for ≥ 1 bit time* followed by a J state for 1 bit time	SE0 for ≥ 1 bit time* followed by a J state
Disconnect (at downstream port)	N.A.	SE0 for ≥2.5µs	
Connect (at downstream port)	N.A.	Idle for ≥2ms	Idle for ≥2.5 µs
Reset	D+ and D- ≤ V_{OL} (max) for ≥10ms	D+ and D- ≤ V_{IL} (max) for ≥10ms	D+ and D- ≤ V_{IL} (max) for ≥2.5 µs