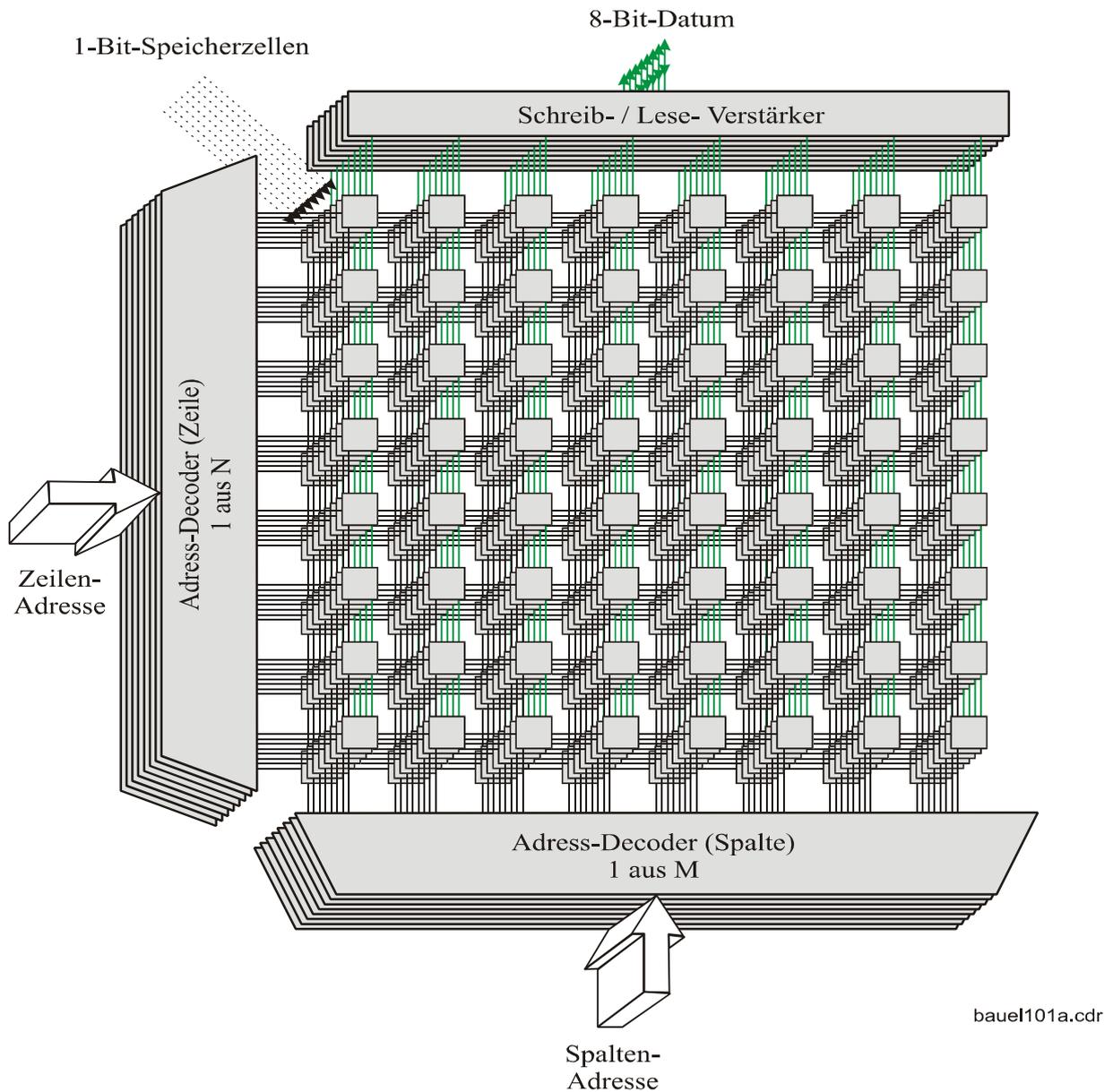


## 5 Speichermedien

Wir wenden uns nun den Baugruppen zu, die aus den bisher beschriebenen physikalischen Effekten und Bausteinen zusammengesetzt sind und wichtige elementare Teile von Rechnern darstellen. In diesem Abschnitt konzentrieren wir uns auf gängige Speichermedien.



**Abbildung 102:** Prinzip eines Speichers mit wahlfreiem Zugriff

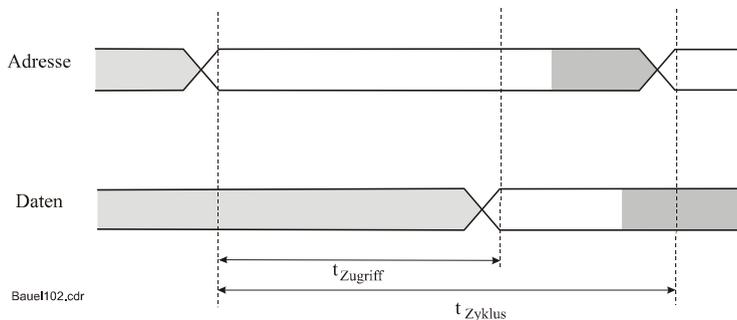
## 5.1 Halbleiterspeicher

Für Arbeitsspeicher von Rechnern werden heute ausschließlich Halbleiterspeicher eingesetzt. Einen grundsätzlichen Aufbau zeigt die Abb. 102.

Im folgenden müssen wir einige Begriffe festlegen. Eine *Speicherzelle* (hier durch ein graues Quadrat in der Abbildungsmitte dargestellt) enthält je nach Speicherkonstruktion ein Bit, eine Bitgruppe, z.B. ein Byte (8 Bit), oder ein Mehrfaches davon. Ein *Speicher-Wort* entspricht in seiner Bitlänge der Busbreite eines Prozessors, z.B. kann ein 64-Bit-Wort aus 8 Speicherbausteinen der Zelltiefe 8 zusammengesetzt sein. Wesentlich für die Speicher ist, dass ein Wort in einem Taktzyklus in den Speicher „geschrieben“ oder aus ihm „herausgelesen“ werden kann.

Wir betrachten im folgenden *Speicher mit wahlfreiem Zugriff*. In der obigen Abbildung lässt sich das Prinzip gut erkennen. Die Zellen werden in einer 2-dimensionalen Matrix über eine Reihen- und eine Spaltenadresse angesprochen, die als Teiladressen der Gesamtadresse anzusehen sind. Es wird etwa ein Adresswort der Länge 32 Bit (4 Byte) aufgespalten in eine Teiladresse (z.B. die oberen 2 Bytes) für die Zeile und eine Teiladresse (z.B. die niederwertigen 2 Bytes) für die Spalte. Die so adressierte Zelle kann dann über einen für den gesamten Speicherblock einheitlichen Lese/Schreib-Verstärker ausgelesen oder beschrieben werden. Die beiden Adress-Decoder sind einfache, aus Flipflops zusammengesetzte, 1-aus-N Auswahlschaltungen.

Die *Kapazität von Speichern* wird heute üblicherweise in Megabyte (MB) angegeben. Für M (Mega) ist hier allerdings häufig  $2^{20} = 1.048.576$  statt der normalerweise üblichen  $10^6 = 1.000.000$  angegeben. Hier muss bei den Angaben unterschieden werden, welches „Mega“ gemeint ist. In



Bezug auf Speicherkapazitäten wollen wir immer  $2^{20}$  annehmen. Bytes sind heute fast immer 8 Bit. Firmen, die andere Bytelängen hatten, stellen heute keine Hardware mehr her.

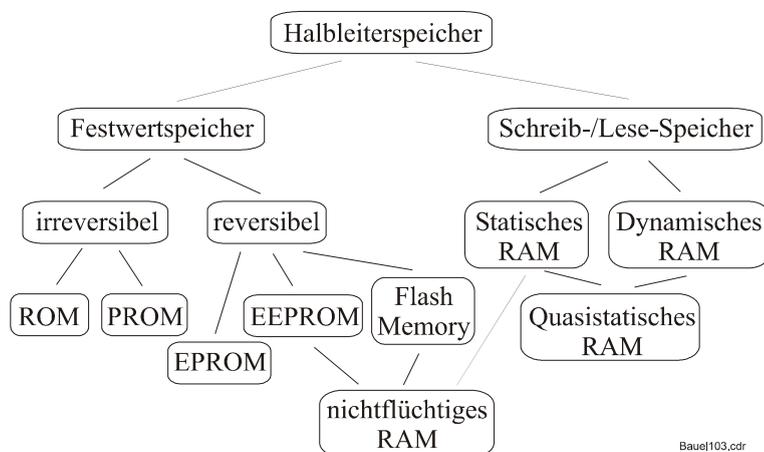
Das Zeitverhalten von Speichern wird durch zwei Größen gekennzeichnet, die Zugriffszeit und die Zykluszeit. Abb. 103 illustriert diese Zeiten.

**Abbildung 103:** Zeitverhalten von Speichern mit wahlfreiem Zugriff

Unter *Zykluszeit* versteht man das Zeitintervall  $t_{Zyklus}$ , von einem Zeitpunkt, an dem die angelegten

Adresssignale gültig sind, bis zur Gültigkeitsbeginn der nächsten Adresssignale. Die *Zugriffszeit*  $t_{Zugriff}$  gibt das minimale Zeitintervall von dem Zeitpunkt der Gültigkeit der angelegten Adresse bis zur Gültigkeit der herausgelesenen Daten an. Im Idealfall kann man die Zykluszeit bis auf die Zugriffszeit verkürzen, es gibt aber Speichertypen, bei denen der Inhalt durch das Lesen zerstört wird und erst wieder restauriert werden muss, bevor der Lesezyklus abgeschlossen ist.

Bevor wir uns einzelnen Typen von Halbleiterbausteinen zuwenden, wollen wir noch eine Klassifizierung vornehmen, die teils technisch bedingt ist, teils die Funktion der Bausteine beschreibt. Dazu betrachten wir Abb. 104.



Baue1103.odr

**Abbildung 104:** Typen von Halbleiterspeichern

Die hauptsächliche Klassifizierung besteht in der Aufteilung in Festwertspeicher, die einmal mit ständig benötigten Daten beschrieben werden (ein Beispiel sei das BIOS im PC, ein Mikroprogramm als elementares Betriebssystem für die Ein/Ausgabesteuerung). Die zweite Klasse sind die Schreib/Lesespeicher, deren Inhalte überschrieben werden können.

In den folgenden Abschnitten wollen wir uns mit den wichtigsten Technologien für diese Speicherklassen beschäftigen.

## 5.1.1 Festwertspeicher (ROMs)

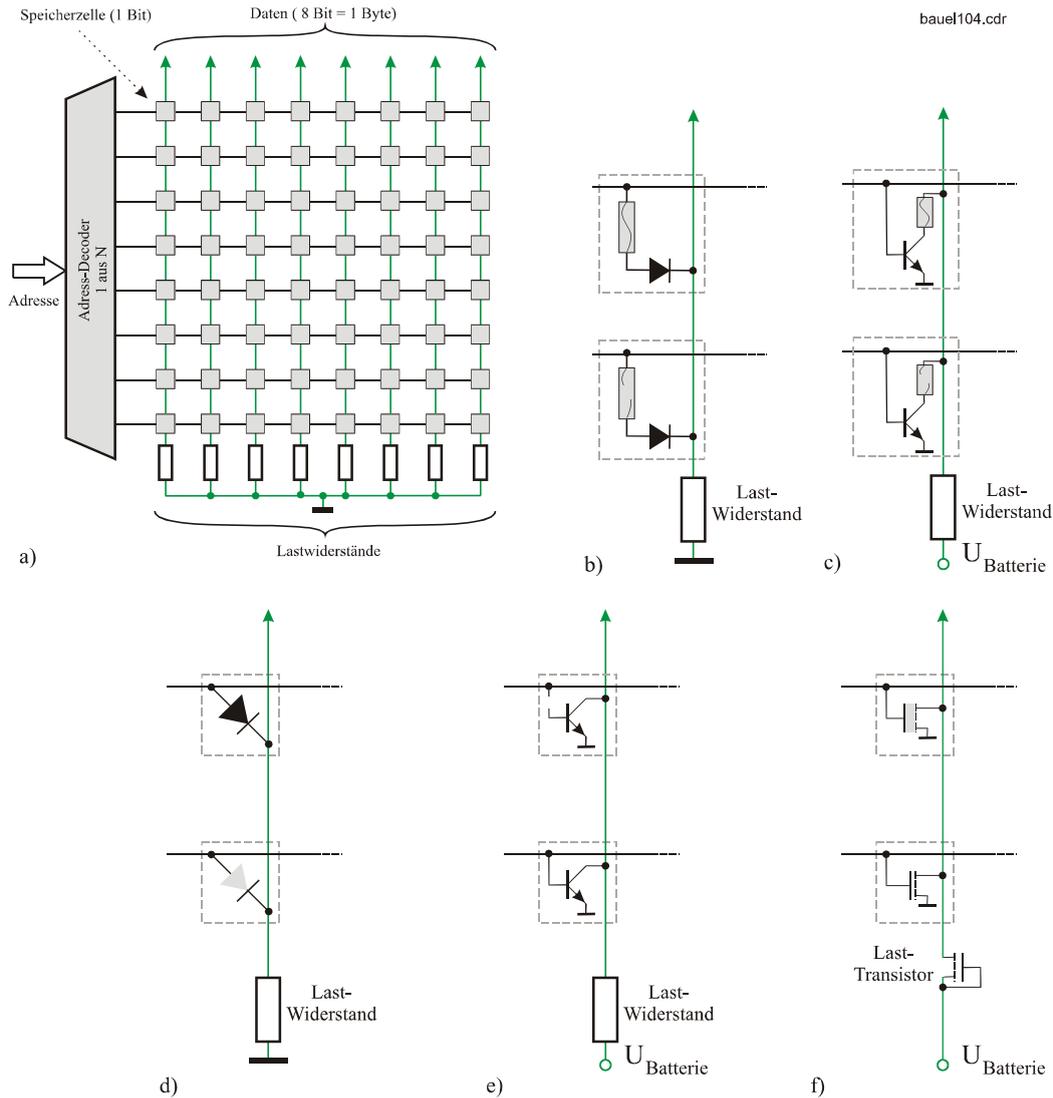
### 5.1.1.1 Maskenprogrammierte ROMs

*ROM-Speicher* (read only memories) werden zur Speicherung von festen Programmteilen und Konstanten benutzt, z.B. für den Sinus-Algorithmus oder die Zahl  $\pi$  in technisch-naturwissenschaftlichen Taschenrechnern. Hierfür gibt es mehrere Techniken, die in Abb. 105 dargestellt sind. Das Prinzip ist in Abb. 105 a) gezeigt.

Ein dekodiertes Adressbit (eine log. Eins) wird an die (in unserem Beispiel acht) horizontalen Speicherzellen des Wortes gelegt, das ausgelesen werden soll. Besteht eine Verbindung, so wird die log. Eins auf die Ausgangsleitung durchgeschaltet, besteht keine, so bleibt die Ausgangsleitung auf dem Potential der log. Null. Wird diese unterbrochene, bzw. nicht unterbrochene Verbindung bereits bei der ROM-Herstellung realisiert, so spricht man von *Maskenprogrammierung*, da der Speicherinhalt bereits bei dem Entwurf der Ätzmasken festgelegt werden muss.

Als Verbindungselemente bieten sich verschiedene Elementarbausteine an, die in den Abb. 105 d) bis f) dargestellt sind. Um Rückwirkungen auf den Adressdecoder zu vermeiden, wählt man immer Bausteine mit Ventilfunktion, also Dioden, Transistoren oder (heute üblicherweise) Fets.

Bei Dioden-ROMs fehlt das Verbindungselement bei der log. Null, bei Transistoren ist die Basiszuleitung nicht durchgeführt und bei den selbstsperrenden Fets liegt das Gate auf einer dicken isolierenden Schicht und verhindert so das Durchschalten.



**Abbildung 105** : ROM-Speicher, a) prinzipielle Struktur, b) Sicherungselement und Trenndiode, c) Sicherungselement und Trenntransistor, d) Verbindungselement Diode, e) Verbindungselement Transistor, f) Verbindungselement FET

### 5.1.1.2 Programmierbare ROMs

Können die ROMs vom Nutzer einmal mit einem bestimmtem Inhalt beschrieben werden, so heißen sie *PROMs*, „programmierbare“ ROMs.

Die früher benutzten Sicherungen (fusible link) aus NiCr-Legierung (dünne Metallaufdampfungen auf dem Halbleitersubstrat) nach Abb. 105 b), c) sind heute nicht mehr gebräuchlich, weil sich beim Verdampfen der Sicherung (Durchbrennen) unkontrolliert Dämpfe auf dem Halbleiter niederschlagen und infolge der Erwärmung beim Betrieb durch Materialtransport offene Sicherungen wieder „heilen“ können, so dass sich die Speicher über längere Zeiträume als instabil erwiesen.

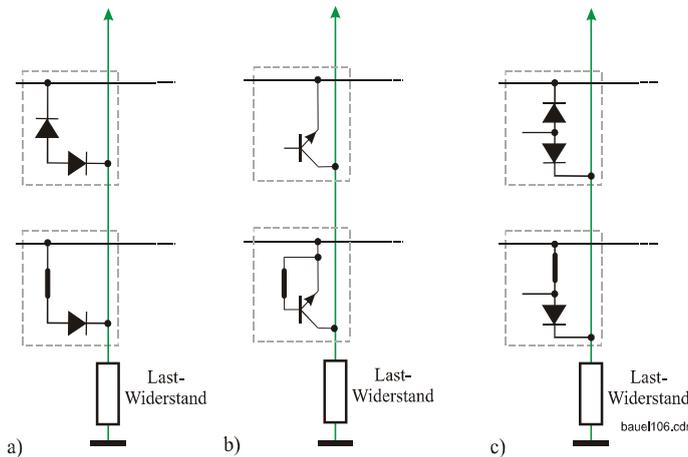


Abbildung 106: AIM-Speicherelemente

Heute verwendet man ein Verfahren, bei dem infolge eines erhöhten Stromes durch den Halbleiter, der durch einen erhöhten Spannungsimpuls ausgelöst wird, in dem Halbleiter bleibende Veränderungen erzeugt werden, die aus ihm einen niederohmigen Widerstand machen. Der physikalische Vorgang heißt AIM-Verfahren (avalanche induced migration), der Zener-Durchbruch infolge des Spannungsimpulses führt zu einer bleibenden Veränderung der Halbleiterdotierung. Natürlich benötigt man auch hier eine Ventilfunktion, um Rückwirkungen vom Ausgang auf die Adressleitungen zu verhindern. Statt mit

Dioden ist diese programmierbare Verbindung auch mit Transistoren möglich. Hierbei bleibt die Basis unbeschaltet, so dass das einfache Ersatzschaltbild eines Transistors nach Abb. 68 mit entgegengesetzt gepolten Dioden wirksam wird. In Abb. 106 sind die beiden Fälle skizziert, wobei Abb. 106 c) das Ersatzschaltbild von Abb. 106 b) darstellt. Die dicken Linien sollen den Kurzschluss andeuten.

### 5.1.1.3 Löschrare Festwertspeicher (EPROMs)

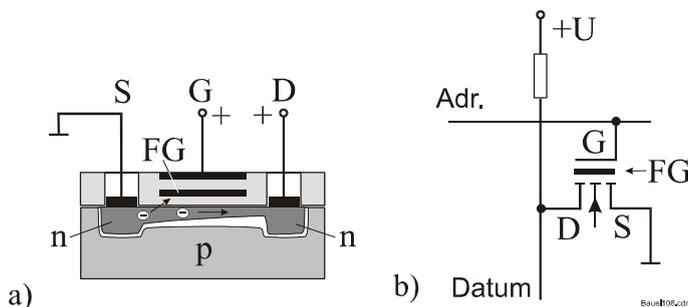
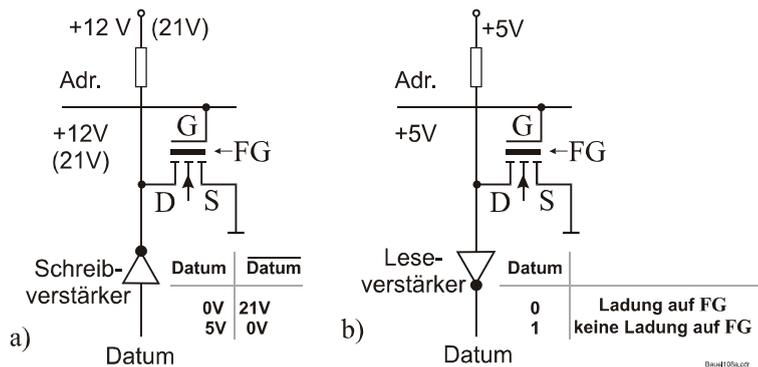


Abbildung 107: FAMOS-Transistor  
a) Aufbau, b) EPROM-Beschaltung

Löschrare Festwertspeicher spielen eine Rolle in Geräten, in denen eigentlich immer dasselbe Programm abläuft (z.B. in Routern, Steuerungen, als BIOS auf der Basisplatte eines PCs usw.), welches jedoch in größeren Abständen geändert und verbessert werden muss. Die Speicherzelle besteht hier, wie in Abb. 107 gezeigt, aus einem speziellen n-Kanal-MOSFet. Eine zweite Steuerelektrode (floating gate) friert die gewünschte Ladung, welche die Information null oder eins trägt, ein. Auch

hier kommt der Zener- oder Avalanche-Effekt zum Tragen, weshalb der Transistor auch FAMOS (floating gate avalanche MOS) -Transistor genannt wird.

In Abb. 108 sind die Funktionen „Programmieren“ und Lesen“ einer EPROM-Zelle skizziert. Durch Anlegen von erhöhten Spannungen (je nach Typ 12 oder 21 V) an Gate und Drain werden - wie in Abb. 107a angedeutet - Ladungsträger auf das, in das isolierende SiO<sub>2</sub> eingebettete, Floating Gate negative Ladungsträger transportiert (Tunneleffekt), die beim Abschalten der Spannung dort gefangen bleiben.



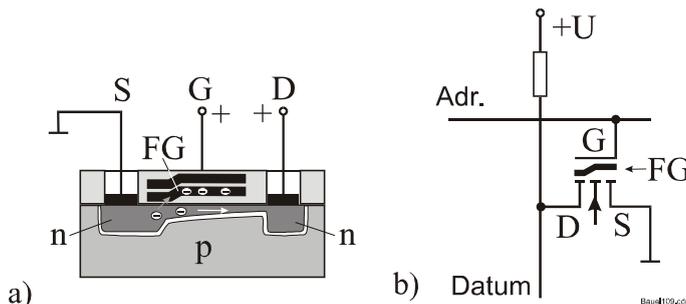
**Abbildung 108: EPROM** a) Programmierung, b) Lesen des Inhalts

Beim Lesen sperren diese Ladungen den Fet, so dass die Drainelektrode auf Betriebsspannung liegt und am (invertierenden) Ausgangsverstärker eine Null anliegt. Sind keine Ladungen eingefroren, so schaltet der Fet durch und legt die Drain auf Masse, wodurch der Leseverstärker eine Eins am Ausgang abliefern.

Gelöscht werden diese Bausteine durch UV-Licht (200-300 nm Wellenlänge), was einige Minuten in

Anspruch nimmt. Dazu haben sie ein optisches Fenster, das nach dem Löschen durch eine lichtundurchlässige Folie verklebt werden muss. Dann halten sich die Daten viele Jahre. Das Löschen einzelner Zellen ist nicht möglich, es kann immer nur ein kompletter Baustein gelöscht werden. Aus technologischen Gründen sind nur einige hundert Löschungen möglich.

#### 5.1.1.4 Elektrisch löschbare Festwertspeicher (EEPROMs)



**Abbildung 109: FLOTOX-Transistor** a) Aufbau, b) EEPROM-Beschaltung

Ein ähnlicher Baustein wie das EPROM ist das *EEPROM*. Den Aufbau dieser sog. FLOTOX-Struktur (Floating Gate Tunnel Oxide) zeigt Abb. 109. Die Zelle besteht ebenfalls aus einem MOS-Fet mit einem Floating Gate, aber in etwas anderem Aufbau. An einer Stelle reicht das Floating Gate bis auf 10 nm an den Drainbereich heran. Liegen ca. 10V an dieser dünnen Oxidschicht, so tunneln Ladungsträger durch die Isolierschicht auf das Floating Gate. Dadurch wird je nach angelegter

Polarität das FG negativ oder positiv geladen, wodurch die Zelle eine Eins oder Null speichert. Die normale Betriebsspannung muss natürlich niedriger liegen, in unserem Beispiel bei 5V.

#### 5.1.1.5 Flash Memories

Eine Weiterentwicklung der EEPROMs sind *Flash Memories*. Durch eine verfeinerte Technologie können heute (1999) 8-MB-Speicher hergestellt werden. Die Zelle ist ähnlich aufgebaut wie die in Abb. 109.

Interessant ist, dass durch verschieden große Ladungen auf das Floating Gate mehrere Bits in einer Fet-Zelle gespeichert werden können (MLC => Multi Level Cell). Gegenwärtig werden 4 bzw. 8 Stufen unterschieden, so dass 2 bzw. 3 Bits pro Zelle gespeichert werden können (s. Abb. 110).

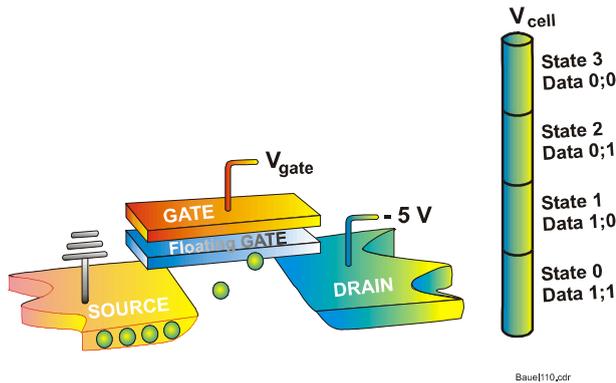


Abbildung 110: Flash Memory Zelle

Durch ihre besondere interne Struktur ist ihr Inhalt in Blöcken strukturiert, so dass jeweils nur Blöcke (von z.B. 64 kB) gelesen bzw. geschrieben werden können. Wie EEPROMs halten sie jedoch ihren Inhalt auch bei Abschalten aller Versorgungsspannungen (non volatile memory). Anders als bei EEPROMs sind jedoch bis zu 100.000 Schreibzyklen möglich.

Da Flash Memories relativ schnell sind (5µs für Löschen oder Schreiben, 80 - 150 ns für Lesen) gibt es eine Fülle von Anwendungsgebieten, speziell in der Steuerungstechnik, z.B. in Kopierern, digitalen Kameras, digitalen Fernsehgeräten, Handies, Telefonen, div. Netzknoten, wie Routern, Switches usw., aber auch in Organizern, und Computerbaugruppen. Ein besonders großes Anwendungsgebiet sind Kraftfahrzeuge. Hier müssen spezielle Anforderungen an das Temperaturverhalten der Bausteine (Betriebsbereich: -45°C bis +125°C) erfüllt sein.

### 5.1.2 Schreib-/Lesespeicher mit wahlfreiem Zugriff (RAM-Speicher)

Die zuletzt genannten Flash Memories sind ein Zwitter. Sie stehen systematisch den RAM-Speichern näher als den ROMs, sind jedoch von der Technologie her den Letzteren sehr verwandt.

RAM-Speicher (Random Access Memories) sind gekennzeichnet dadurch, dass der Zugriff auf jede beliebige Speicherzelle lesend und schreibend möglich ist. Allerdings geht beim Abschalten der Versorgungsspannungen der Speicherinhalt verloren. Da RAMs in sehr großen Mengen benötigt werden, ist die Technologie hochentwickelt und schreitet rasch voran. Nach Expertenmeinung wird in einer Dekade die physikalische Grenze der gegenwärtigen Technologie erreicht, da sich bei SiO<sub>2</sub>-Schichten, die dünner als 4 Moleküle sind, Quanteneffekte bemerkbar machen, die jetzt noch keine Rolle spielen.

Man unterscheidet 2 Klassen von RAMs, statische (SRAM) und dynamische (DRAM). Während statische RAMs durch den Zustand eines Schaltwerks (hier von Flipflops) ihren Inhalt speichern, werden in dynamischen RAMs die Informationen als Ladungen gespeichert, die infolge der endlichen Widerstände der Umgebung abfließen und in regelmäßigen Abständen aufgefrischt werden müssen.

#### 5.1.2.1 SRAMs

Zunächst betrachten wir die statischen RAMs. Eine einzelne Zelle ist aufgebaut wie ein RS-Flipflop nach Abb. 89. Wegen der höheren Packungsdichte und der geringeren Leistungsaufnahme werden i.d.R. CMOS-Technologien verwendet. Abb. 111 zeigt eine statische CMOS-Speicherzelle. Sie besteht aus zwei rückgekoppelten Invertern mit den Fet-Paaren T<sub>1</sub>, T<sub>2</sub> bzw. T<sub>3</sub>, T<sub>4</sub>. Die Fets T<sub>5</sub>, T<sub>5</sub>' und T<sub>6</sub>, T<sub>6</sub>' koppeln die Zelle über die Adressauswahlleitungen an die beiden Datenleitungen an, welche die beiden Zustände A und  $\bar{A}$  weiterleiten.

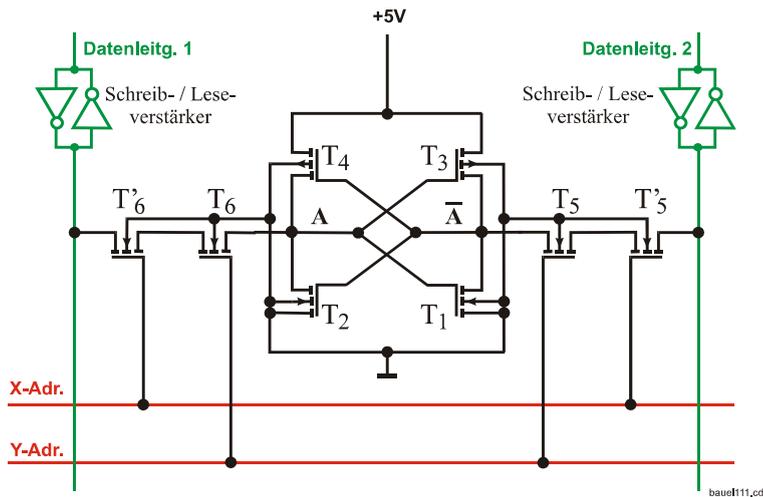


Abbildung 111: CMOS RAM-Zelle

Zum *Lesen* werden die Adressleitungen aktiviert. Dadurch wird der Zustand A („0" oder „1") auf die Datenleitung 1 durchgeschaltet.

Zum *Schreiben* werden ebenfalls die Adressleitungen aktiviert. Soll eine „1" eingeschrieben werden, so wird auf die Datenleitung 1 eine „1" gelegt und damit A auf das Potential für die 1 gebracht. Entsprechend wird für die „0" verfahren.

Flipflop verwendet, dessen Transistoren drei Emittter haben, von denen zwei an die Adressleitungen angeschlossen sind. Die Mehrfach-Emitter wirken dabei wie Und-Gatter.

Bipolare RAMs sind prinzipiell ähnlich aufgebaut, nur wird hier ein

### 5.1.2.2 DRAMs

Sowohl statische CMOS- als auch bipolare RAMs sind relativ aufwendig, was sich in einem größeren Flächenbedarf pro Zelle auf der Wafer niederschlägt. Entsprechend hoch sind die Kosten pro gespeichertem MByte. Eine wesentlich günstigere Lösung, was den Flächen- und den Energieverbrauch anbelangt, bieten die dynamischen RAMs oder DRAMs. Im Prinzip wird pro Bit nur ein Fet verwendet. Gegenwärtig (1999) sind derartige Bausteine mit Größen von 64 und 128 Mbit erhältlich. Erste 256-Mb-Bausteine sind bereits am Markt verfügbar.

Abb. 112 zeigt den einfachen Aufbau einer DRAM-Speicherzelle. Sie besteht im Wesentlichen aus einem Fet  $T_S$ , dessen Drain durch eine dünne  $\text{SiO}_2$ -Schicht vom Substrat getrennt ist. Dadurch entsteht hier ein kleiner Kondensator  $C_S$ , dessen Ladung die gespeicherte Information trägt (einige fF). Der Transistor  $T_Y$  steuert eine Spalte an, die Zeile wird direkt durch die X-Adressleitung angesprochen.

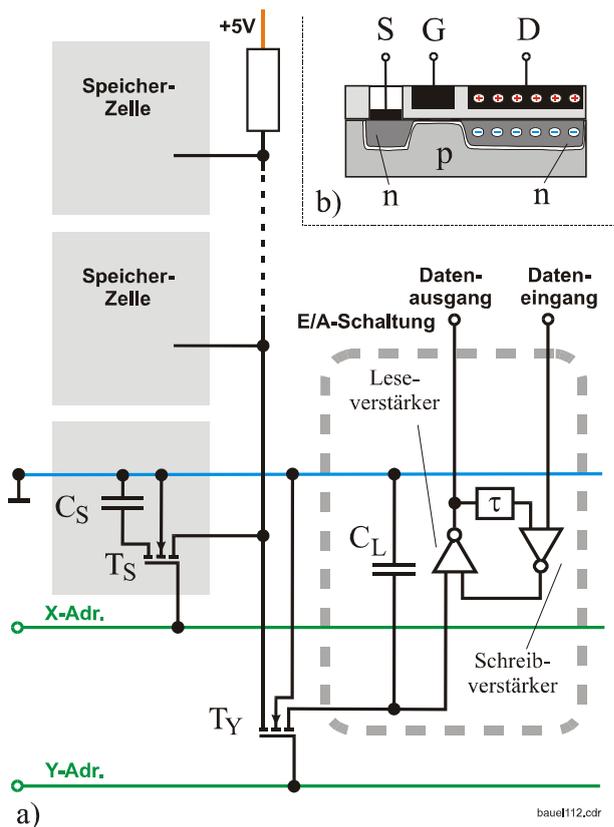


Abbildung 112: DRAM-Zelle,  $\tau$ =Zeilenregister

Beim *Schreiben* eines Bits führen die beiden Auswahlleitungen 1-Pegel und schalten die beiden Transistoren  $T_S$  und  $T_Y$  durch, wodurch  $C_S$  mit dem Inhalt des Schreibverstärkers aufgeladen wird.

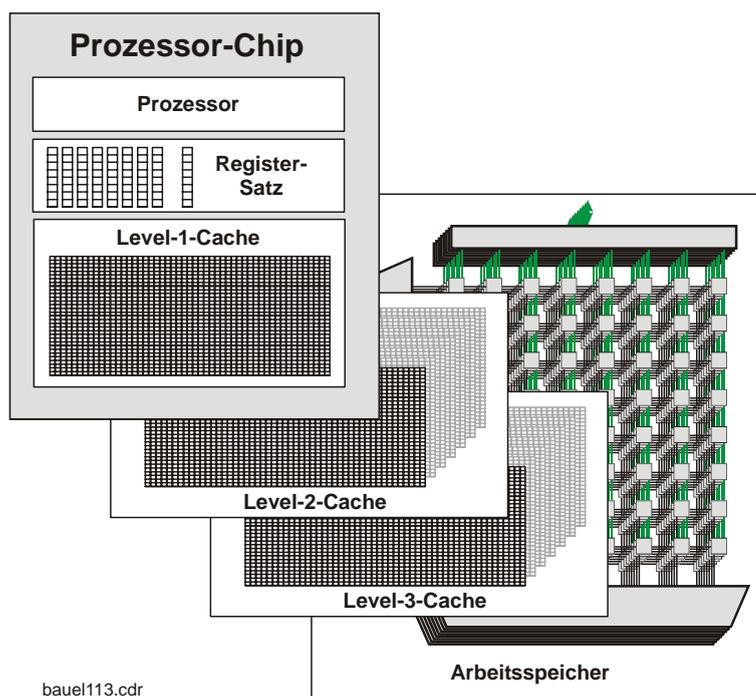
Beim *Lesen* wird die Ladung auf die Schaltungskapazitäten, die durch  $C_L$  modelliert werden, überführt. Solange am Leseverstärker, der Schmitt-Trigger-Eigenschaften hat, eine Mindestspannung liegt, wird diese als  $\log. 1$  gewertet. Da die Ladung auf dem Speicherkondensator  $C_S$  nun durch das Lesen teilweise auf  $C_L$  abgeleitet wurde, muss der alte Zustand durch Rückschreiben der Information aus dem Zeilenregister über den Schreibverstärker erfolgen.

Infolge von Leckströmen hält sich die Ladung auf dem Speicherkondensator nur eine kurze Zeit im definierten Bereich einer  $\log. 1$ , daher muss der Speicherinhalt in regelmäßigen Abständen aufgefrischt werden (2-8 ms). Das geschieht zeilenweise. Dadurch verlängert sich die Zugriffszeit auf den Speicher im Mittel um 2%, was vernachlässigbar ist. Genaueres findet man bei [Tietze].

### 5.1.2.3 RAM-Speicher-Organisationen

In einem Computer besteht aus Gründen des schnellen Zugriffs auf Befehle und Daten eine Speicherhierarchie, die in Abb. 113 dargestellt ist. Die eigentlichen Rechen- und Befehlsspeicher sind die Register, welche auf dem Prozessorchip integriert sind. Meistens sind auch weitere Zwischenspeicher, sog. *Caches* auf dem Chip integriert, zumindest der Level-1-Cache. In diesen Caches werden Zwischenergebnisse und kurze Programmstücke gespeichert. Da diese Speicherelemente wesentlich schneller sind, als der eigentliche Arbeitsspeicher, tragen sie erheblich zur Beschleunigung von Rechnungen bei.

Grundsätzlich sind Speicher in einer Blockstruktur aufgebaut, wodurch sich verschiedene Vorteile ergeben. Die einzelnen Blöcke werden auch *Pages* oder *Banks* genannt. Zum einen brauchen nur die adressierten Blöcke mit Betriebsenergie versorgt zu werden, die anderen sind in einem Zustand niedrigen Verbrauchs, was die Wärmeabfuhr erleichtert. Zum anderen kann die Zahl der Adressleitungen zum Chip geringer ausfallen, wodurch die Integrationsdichte höher wird. Schließlich lassen sich auf die Speicherbänke quasiparallele Zugriffe organisieren, so dass der Gesamtdurchsatz des Speichers erhöht wird.



**Abbildung 113:** Speicherhierarchie im Computer

Zur Beschleunigung des Zugriffs auf den Arbeitsspeicher wurden verschiedene Verfahren entwickelt, die auf spezielle Anwendungen zugeschnitten sind. Insbesondere versucht man durch parallele Zugriffe den Datendurchsatz zu beschleunigen. Da diese Verfahren relativ kurze Lebensdauern haben, ist eine abschließende Behandlung nicht möglich. Wir führen daher hier nur kurz einige gerade aktuelle Halbleiter-Typen auf.

**FPM:** (*Fast Page Mode*)

Die oben erwähnte logische Blockstruktur nutzt man zu einem beschleunigten Zugriff auf den Speicher. Während bei einem beliebigen Zugriff auf eine Speicherzelle sowohl die Zeilen- als auch die Spaltenadresse eingestellt werden muss, kann bei nachfolgenden Zugriffen innerhalb derselben Zeile die Zeilenadresse festgehalten werden. Es muss lediglich die Spaltenadresse verändert werden. Das führt zu den oben erwähnten kürzeren Zugriffszeiten. Diese Struktur wird *FPM* genannt.

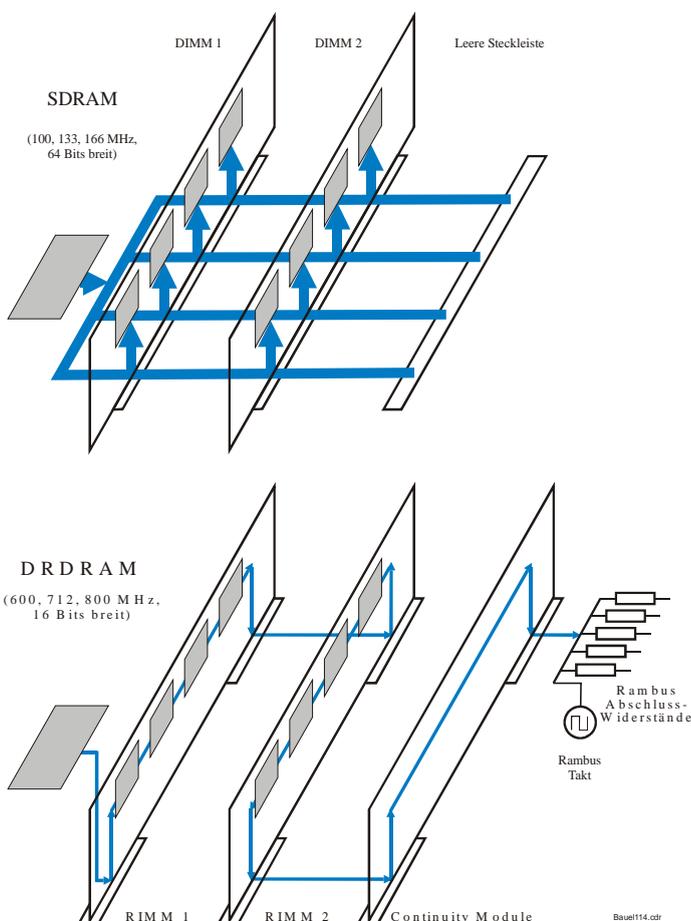
**EDO-RAM:** (*Extended Data Output Memory*)

In EDO-Speichern wird der Output einer Speicherzelle beim Lesen in einem Register festgehalten. Dadurch kann bereits eine neue Adresse zeitlich verschränkt an die Adressleitungen des Speichers angelegt werden, während das Ergebnis der vorherigen Leseoperation noch aus dem Lesespeicher ausgelesen wird. Man erreicht dadurch kürzere Zugriffszeiten auf den Speicher.

**SDRAM:** (*Synchronous Dynamic RAM*)

Dem SDRAM-Speicher ist ein eigener Prozessor (Automat) eingebaut, der einige Befehle mehr als die Grundaufgaben "Lese aus Zelle" und "Schreibe in Zelle" bearbeiten kann. Insbesondere kann er Abschnitte von Speicherzellen im angesprochenen Block abarbeiten, z.B. 2, 4, 8 auf einander folgende Zellen oder einen ganzen Block lesen oder schreiben. Das beschleunigt den Datentransfer zwischen Speicher und Cache. Um so mehr, als diese interne Verarbeitung ohne Verlust von Taktschritten synchron zum Basistakt des Busses ab der zweiten bearbeiteten Zelle erfolgt. Daher das "S" im Akronym. Darüber hinaus werden 2 Blöcke verschränkt bearbeitet, was den Datentransfer weiter beschleunigen kann. Und natürlich enthält er schnelle E/A-Register zur verschränkten Verarbeitung von Befehlen. Eine Befehlspipeline ergänzt die Steuerungsstruktur.

Dieser Speichertyp ist damit an die gegenwärtig übliche Rechnerstruktur angepasst: 8 Bytes entsprechen mit 64 Bit der Breite des Speicherbusses gängiger Rechner und die oben gezeigte Speicherhierarchie mit zwischengeschalteten schnellen Cache-Speichern wird optimal bedient.



**Abbildung 114:** Grobstruktur von SDRAM und Rambus

**DDR:** (double Data Rate SDRAMs)

DDR-Speicher sind SDRAMs, die nicht nur von einer Flanke des Taktes angesteuert werden, sondern auch die Rückflanke als Takt nutzen. Infolge der ständig steigenden Integrationsdichte auf den Siliziumchips können die Taktraten für Speicher erhöht werden. Um nicht komplett neue Computerstrukturen notwendig zu machen, werden hier beide Flanken des Taktes genutzt und damit die Arbeitsgeschwindigkeit der Speicher verdoppelt. Im Gegensatz zum Rambus handelt es sich um eine offene Struktur, die bei IEEE genormt ist.

**RDRAM:** (Rambus-RAM)

*Rambus* ist eine nicht offen gelegte proprietäre Speicherstruktur der Fa. Rambus, die sich in der Ansteuerung vom DDR-SDRAM unterscheidet und angeblich schneller als diese sein soll. Es tobt ein juristischer Krieg diverser Halbleiter-Hersteller mit der Firma um Lizenzgebühren und Patentverletzungen, der sich wohl noch einige Zeit hinziehen wird.

Die interne Speicherstruktur ist mit dem der SDRAMs identisch, die Unterschiede liegen in der Ansteuerung und der Befehlsstruktur. Die Abb. 114 zeigt einige wesentliche Strukturunterschiede zwischen beiden Speichertypen. Während SDRAMs eine Busbreite von 64 Bit haben, hat der Rambus-Speicher eine solche von 16 Bits. Dafür wird er mit 400 - 800 MHz getaktet, während SDRAMs mit 100,133 oder demnächst 166 MHz getaktet werden. Ein weiteres Merkmal von Rambus-Speichern sind die hohe Zahl von 16 parallel ansprechbaren Speicherbänken, während im SDRAM nur 2 parallel ansprechbar sind. Daraus resultiert, dass der Speicher überhaupt in der Lage ist, so hohe Transfargeschwindigkeiten zu leisten. Während SDRAMs parallel getaktet werden, läuft der Rambus-Takt seriell durch die Speichermoduln. Dadurch ist eine spezielle "Leer"-Karte als Durchleitung erforderlich, wenn nicht alle 3 möglichen Speicherkarten eingebaut sind. Rambus-Speicher eignen sich besonders zur schnellen Speicherung von ganzen Datensätzen, z.B. von Grafikinformatoren. Sie sind daher in großem Maße in Spielekonsolen zu finden.

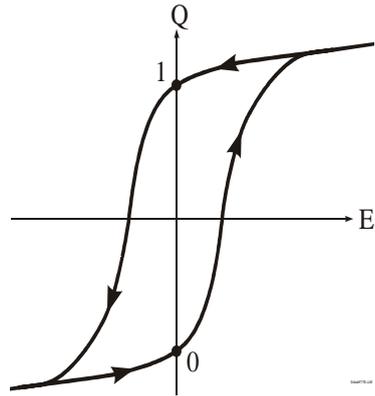
**SLDRAM:** (Synchronous Link DRAM)

Diese als offener Standard 1997 definierten Speicher sollen ein Konkurrent zum Rambus sein. Sie haben ebenfalls einen internen Datenbus von 16 (+2 Prüfbits) Bit und Ein- und Ausgabe-Pipelines. Der Bus kann aber bis zu 8 Speichermodule aufnehmen. Die Taktraten liegen bei 400, 600 oder 800 MHz. Wie SDRAM, DDRSDRAM und Rambus spielt diese Speicherstruktur ihre hohe Geschwindigkeit erst aus, wenn Vektoren aufeinander folgender Daten gelesen oder geschrieben werden sollen.

**FeRAM:**(Ferroelektrischer RAM)

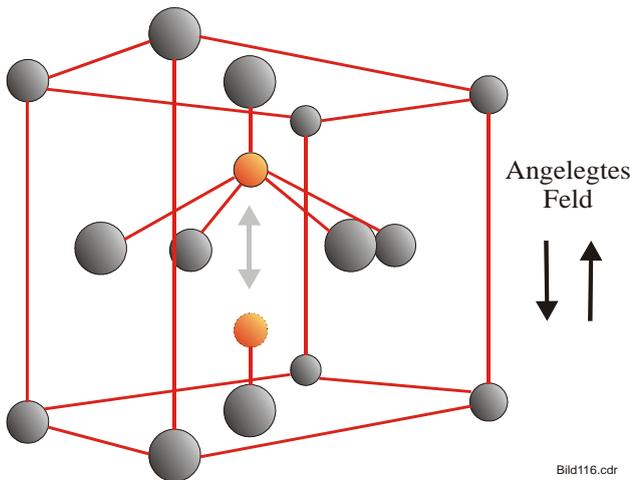
Eine interessante Neuentwicklung sind ferroelektrische Speicher. Hierbei wird der *ferroelektrische Effekt* ausgenutzt. Bestimmte Materialien (z.B. PZT Blei-Zirkonium-Titanat) haben die Eigenschaft, dass sie bei Anlegen eines elektrischen Feldes *polarisieren*, ähnlich wie beim Vorgang der Influenz (s. Abb. 6), diesen Zustand aber nach Entfernen des äußeren Feldes beibehalten. Dadurch kann ein Polarisationsvektor eingefroren werden, der in seinen beiden Polarisationsrichtungen ein Bit speichern kann.

In polykristallinen Materialien zeigen sich dann makroskopisch ähnliche Hysteresisschleifen, wie beim Ferromagnetismus nach Abb. 22. Allerdings sind hier natürlich die elektrischen Feldgrößen  $Q$  statt  $B$  und  $E$  statt  $H$  wirksam. Bei Anlegen einer ausreichend großen positiven Feldstärke wird der ferroelektrische "Remanenzpunkt" 1 erreicht, bei Anlegen einer entsprechend negativen Feldstärke der Punkt 0. Damit hat man ein Speicherelement mit zwei Zuständen.



**Abbildung 115:** Ferroelektrizität

Auf der Kristallgitter-Ebene modelliert man das durch ein Atom, das infolge des äußeren Feldes in zwei räumlich unterschiedliche Zustände gebracht werden kann, wie Abb. 116 zeigt.



**Abbildung 116:** Ferroelektrischer Kristall

Elektrisch verhält sich dieses Material wie ein Kondensator mit der Ladung  $Q$ . Man kann also Speicher, wie DRAMs konstruieren, wobei der speichernde Kondensator durch PZT, das auf die CMOS-Struktur aufgebracht wird, realisiert ist. Man nennt diese Struktur *1T1C* (ein Transistor, ein Kondensator pro Bit). Denkbar ist auch eine andere Struktur, die *2C2T* heißt und die doppelte Zahl von Bauelementen benötigt.

Bild116.cdr

Allerdings hat dieser Speicher einige veränderte Eigenschaften gegenüber normalen SRAMs: Zunächst kann er - im Gegensatz zu Flash-

Speichern - ohne Überspannungen beschrieben werden, wodurch theoretisch eine unendliche Lebensdauer möglich ist. Weiterhin vorteilhaft ist, dass der Speicher seine Inhalte auch ohne Betriebsspannung hält, vergleichbar mit den historischen Ringkernspeichern oder mit Magnetplatten. Dadurch sind Rechner konstruierbar, die nicht nach jeder Stromabschaltung neu gebootet werden müssen. Auch sind keine Refresh-Mechanismen erforderlich. Nachteilig ist, dass beim Lesen die Information zerstört wird und neu eingeschrieben werden muss. Immerhin wurde auf der ISSCC-Tagung 2001 [ISSCC] von einem Prototyp mit 8MBit in 0,25  $\mu\text{m}$ -CMOS Struktur berichtet, mit 40 ns Zugriffszeit und 70ns Zykluszeit. Inzwischen haben auch die Firmen Infineon und Toshiba ein Gemeinschaftsprojekt zur Herstellung von 32 MBit FeRAMs für Handies angekündigt, wodurch die Multi-Chip-Struktur im Speicher dieser Geräte auf einen Chip reduziert werden soll. Insbesondere sollen die bisher notwendigen zusätzlichen Flash-Speicher zur permanenten Datenhaltung entfallen. Auch in manchen "Smart-Cards" werden derartige (kleinere) Speicher inzwischen eingesetzt.

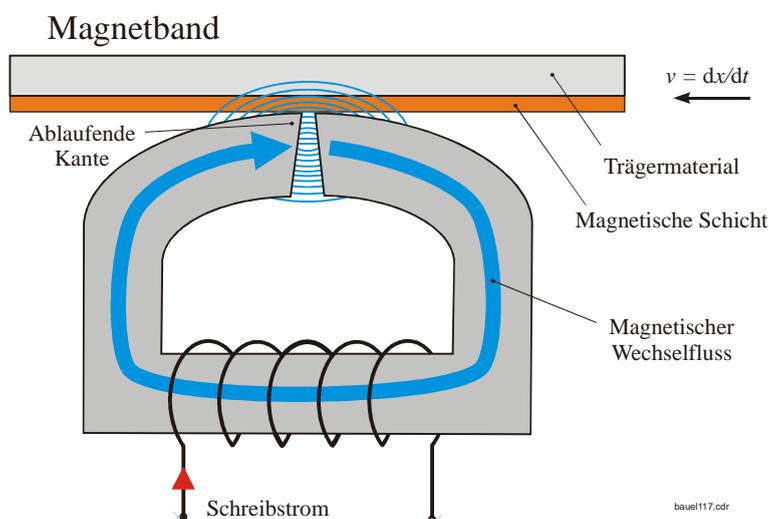
## 5.2 Magnetbandspeicher

Wir wenden uns nun den Massenspeichern zu, d.h. Speichern für sehr große Datenmengen. Das Attribut “groß” ist relativ. Waren vor einigen Jahren Disketten mit 128 kB Standard, so gibt es inzwischen Magnetplatten, die einige 100 GB speichern können. In diesem Bereich ist ein starkes exponentielles Wachstum des technischen Fortschritts zu erkennen und das Ende ist noch nicht sichtbar.

Wir beginnen mit der Beschreibung von Magnetbändern, weil die Basistechnologien auch auf Magnetplatten übertragbar sind. Kennzeichnend für diese Technik ist ein magnetisierbares Material, welches auf ein magnetisch neutrales Trägermaterial aufgebracht ist. Die magnetisierbare Schicht besteht aus feinsten Teilchen, die ferromagnetische Eigenschaften mit makroskopischen Magnetisierungskennlinien nach Abb. 22 haben. Je breiter die Magnetisierungsschleifen sind, um so weniger anfällig sind sie gegenüber magnetischen Störfeldern. Je höher sie sind, um so größere Schreibfelder werden benötigt und um so höher ist beim Lesen das Lesesignal. Die Bandhersteller verbessern die Eigenschaften des magnetischen Materials kontinuierlich und probieren auch andere Technologien, wie metallische Dünnschichten, in denen quantenphysikalische Effekte wirksam werden. Wir beschränken uns hier auf die eher “klassischen” Bereiche.

### 5.2.1 Schreiben digitaler Daten auf Magnetband

In Abb. 117 ist das Prinzip des Schreibvorgangs dargestellt. Ein Magnetband aus Kunststoff mit einer magnetisch beschreibbaren Schicht wird mit der Geschwindigkeit  $v$  an einem Schreibkopf vorbeigezogen. Der Kopf besteht aus weichmagnetischem Material mit einem Luftspalt und trägt eine Leitungswicklung. Ein Strom durch diese Spule erzeugt einen magnetischen Fluss, der im Luftspalt ein magnetisches Feld erzeugt, das auch teilweise durch das am Rande des Spaltes vorbeilaufende Magnetband verläuft und die magnetischen Teilchen im Band in Feldrichtung “umkippt”. Entscheidend ist dabei das Feld an der sog. “ablaufenden Kante”. Daher können Schreibköpfe mit relativ breitem Spalt und kräftigen Streufeldern gebaut werden. Je feiner die Teilchen

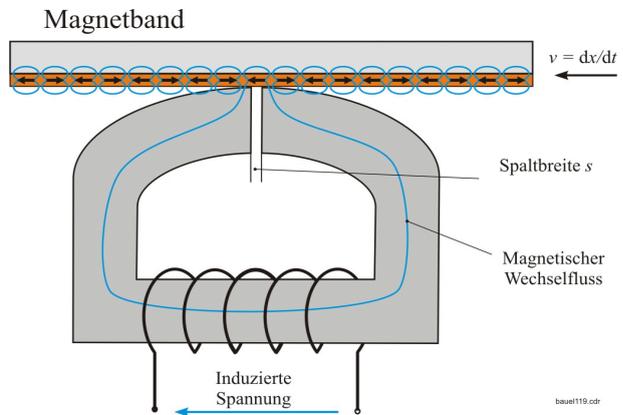


**Abbildung 117:** Schreibvorgang beim Magnetband

im Band sind, um so enger können durch Feldwechsel im Spalt entgegengesetzt ausgerichtete Remanenzbereiche geschrieben werden. Die Schreibverstärker müssen also Stromimpulse an den Schreibkopf liefern und durch Schutzdioden müssen die Spannungen beim Umpolen der Stromrichtungen begrenzt werden.

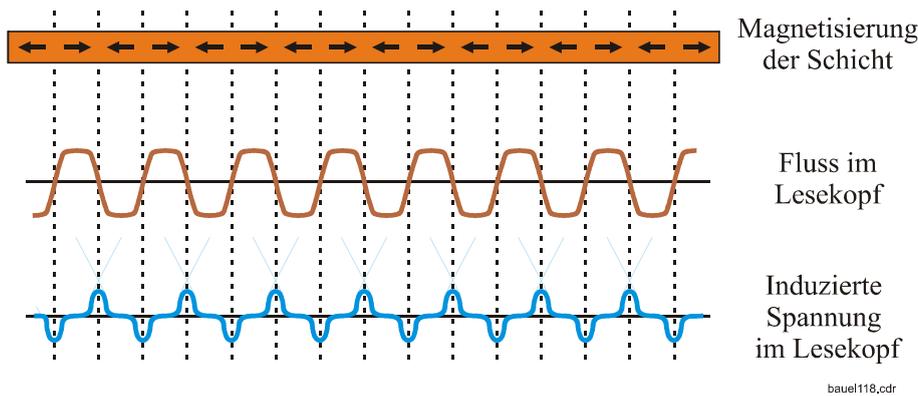
### 5.2.2 Lesen digitaler Daten vom Magnetband

Beim (zerstörungsfreien) Lesen der Daten wird das Band mit der Geschwindigkeit  $v$  an dem Lesekopf vorbeigezogen. Die Streuflüsse der in Abb. 118 schematisch dargestellten magnetischen Elementarbereiche fließen dabei durch den - ähnlich wie der Schreibkopf aufgebauten - Lesekopf und induzieren durch die Flussänderungen in ihm eine Lesespannung. Abb. 119 zeigt schematisch die Verläufe von Remanenzmagnetisierung, Fluss im Lesekopf und induzierte Lesespannung.



**Abbildung 118:** Lesevorgang beim Magnet-

Hier gilt: Je enger der Luftspalt im Lesekopf, um so kleiner können die elementaren Magnetisierungsgebiete auf dem Band sein, band



d.h. um größer ist die Speicherkapazität eines Bandes. Natürlich wird dadurch auch das seitlich wirksame Streufeld kleiner und die Leseköpfe benötigen mehr Windungen der Lesespule und empfindlichere Leserverstärker.

**Abbildung 119:** Signale beim Lesen

Diese Effekte sind in Abb.120 schematisch dargestellt. Zunächst einmal ist in a) und b) der Abstandseffekt mit der exponentiellen Abnahme der induzierten Spannung gezeigt. Dieser Abfall ist in der Praxis wirksam bei Staub auf dem Band oder bei verschmutzten Köpfen, welche durch den Abrieb der magnetischen Schicht verkleben.

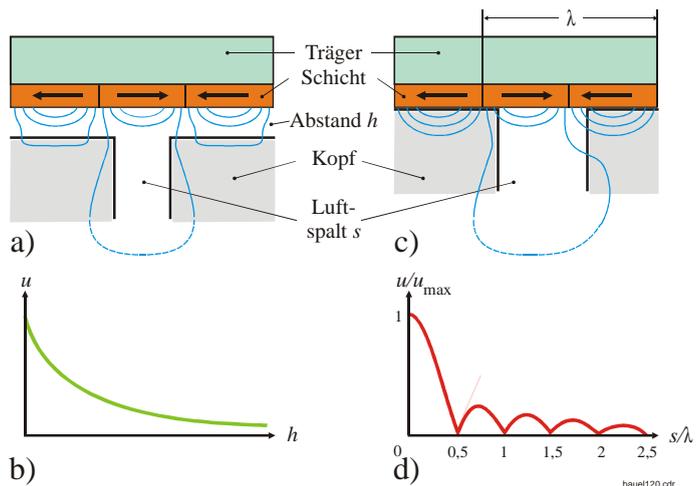


Abb. 120 c) und d) illustrieren den Spalteffekt, der auch bei anderen physikalischen Problemen auftritt. Je breiter der Spalt, um so mehr Feldlinien gehen direkt durch die Luft und nicht durch den mag-

**Abbildung 120:** Abstandseffekt und Spalteffekt beim Lesen

netisch leitenden Kopf und induzieren damit keine Spannung in der Lesespule. Mathematisch lässt sich der Effekt mittels der *Spaltfunktion* beschreiben:

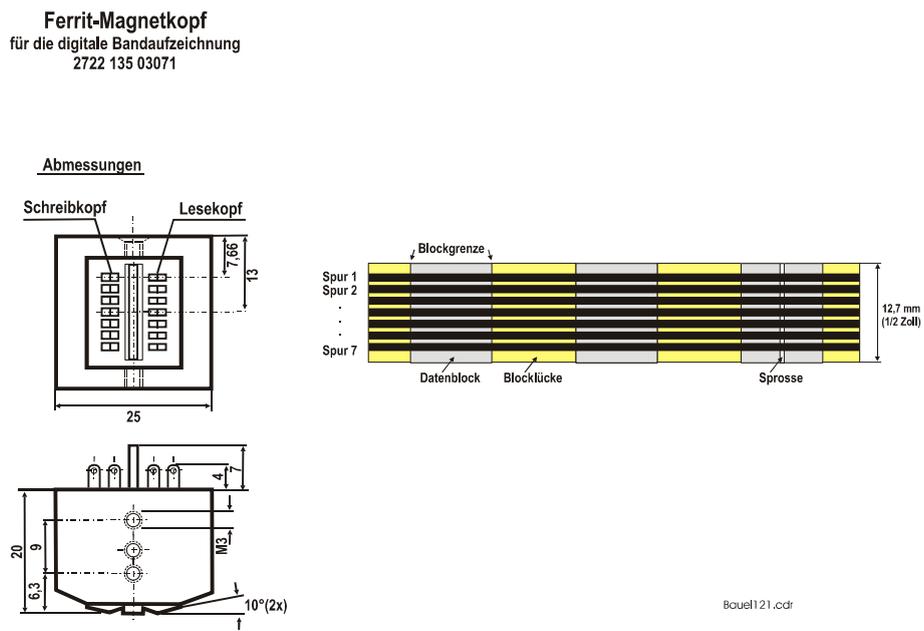
$$u(s) = u_{\max} \left| \frac{\sin\left(\frac{s}{\lambda}\right)}{\frac{s}{\lambda}} \right|. \tag{130}$$

Außerdem werden bei  $s > \lambda/2$  die aufgezeichneten Bits nicht mehr richtig erkannt, da Streuflüsse benachbarter Bits die induzierte Spannung mit bestimmen.

Je größer die Bandgeschwindigkeit  $v$  ist, um so größer ist die im Lesekopf induzierte Spannungsspitze. Andererseits gibt es mechanische Grenzen für die maximale Geschwindigkeit, da das Band sauber am Kopf vorbei geführt werden muss.

### 5.2.3 Technische Realisierungen

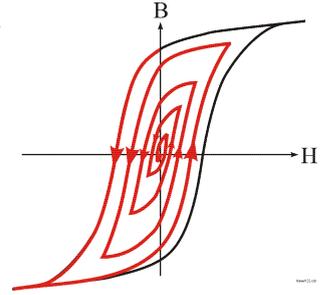
Lange Jahre verwendete man genormte 7- und 9-Spur-Magnetbänder von 1/2 Zoll Breite. Auf diesen Spuren ließen sich jeweils 1 Byte als sog. "Sprosse" aufzeichnen. Entsprechend aufwendig waren die Lese/Schreibköpfe konstruiert. I.d.R. wurde nach dem Schreiben sofort vom dahinter angeordneten Lesekopf gelesen, um Fehler zu erkennen und zu korrigieren. Abb. 121 zeigt eine technische Zeichnung aus einem alten **Abbildung 121: Alter 7-Spur-Schreib-Lesekopf** Katalog.



Bouel121.cdr

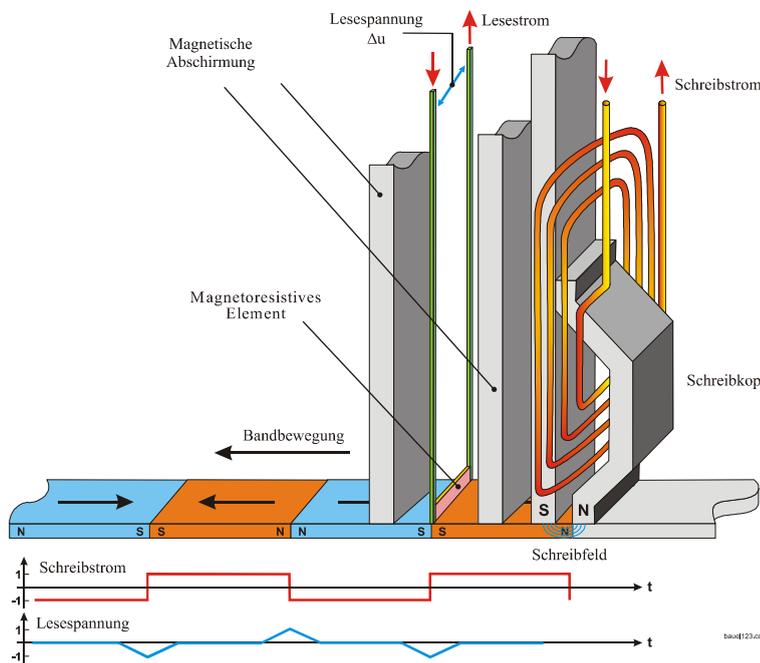
Gelöscht wurde mit einem speziellen Löschkopf, der in Bandrichtung vor dem Schreibkopf angeordnet war und mit einem breiten Luftspalt ein kräftiges, das Band sicher durchdringendes, Wechselmagnetfeld erzeugte, das die Inhalte auf dem Band sicher löschte. (Das durch die Bewegung sich abschwächende Wechselfeld führt die Hysterisis-Schleife jedes Teilchens auf dem Band in immer engeren Kurven in den Nullpunkt, d.h. in den entmagnetisierten Zustand), wie in Abb. 122 skizziert.

Weiterhin erkennt man den Aufzeichnungs-Algorithmus. Die Daten wurden blockweise auf das Band geschrieben und das Band im Start-Stop-Verfahren betrieben, so dass jeder *Datenblock* (zwar sequentiell aber) einzeln ansprechbar war. Daher benötigte man zwischen den Blöcken *Blocklücken*, um das Band in ihnen auf Betriebsgeschwindigkeit zu beschleunigen. Auf dem Band waren daher mehr Lücken als Nutzdaten. Entsprechend gering waren die Bandkapazitäten.



Eine Skizze eines neueren Schreib-/Lesekopfes zeigt die Abb. 123. **Abbildung 122:** Zur Geschrieben wird konventionell mit einem Magnetfeld, das durch einen Schreibstrom erzeugt wird, gelesen mit einem magneto-resistiven Element. Dessen Widerstand  $R$  ändert sich mit dem Quadrat des anliegenden Streufeldes des Bandes.

$$R(H) \sim H^2. \quad (131)$$



Die Abmessungen haben sich erheblich verkleinert, so dass diese Köpfe heute automatisch hergestellt werden können, ähnlich wie integrierte Schaltungen.

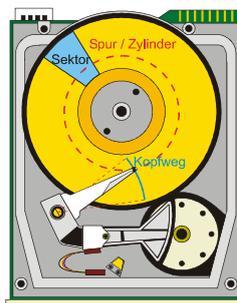
Heute verwendet man DAT- oder DLT-Bänder. Diese werden kontinuierlich beschrieben, da jetzt Halbleiter-Pufferspeicher erschwinglich sind. Durch das Wegfallen der Blocklücken ist die Bandkapazität massiv angestiegen. Durch Komprimierungsalgorithmen beim Schreiben und einer entsprechenden Dekomprimierung beim Lesen lässt sich die Kapazität weiter erhöhen. Schließlich ist die

**Abbildung 123:** Moderner Digitalkopf

Technologie der Bandmaterialien und Köpfe weiter fortgeschritten, so dass man viel engere Spuren und durch langsames Schreiben bzw. Lesen auch enger gelagerte Bits zur Verfügung hat. Die Speicherdichte liegt gegenwärtig auch bei mehr als 1 Mbit/mm<sup>2</sup>. Deutlich kleinere Bänder sind daher heute (im Jahr 2002) in der Lage, bis zu 80 GByte zu speichern. Die Spuren auf dem Band werden entweder mäanderförmig als Einzelspur oder schräg mit rotierenden Köpfen auf das Band geschrieben. Die Zeiten einer Normung sind hier vorbei, es handelt sich vielmehr um Firmenpatente, die dann auch eine Lebensdauer von 12 Jahren selten überschreiten. Da früher Magnetbänder wegen ihrer inneren Entmagnetisierung alle 2-3 Jahre umkopiert werden mussten, ist ein Umkopieren heute wegen eines Technologie-Wechsels eigentlich nichts Besonderes, da Computer aber nun Massenware sind, ist diese Notwendigkeit vielen Nutzern nicht klar. Eine langfristige Datenhaltung ist hier nur bei einer regelmäßigen Pflege durch Umkopieren auf neuere Technologien gegeben.

## 5.3 Magnetplattenspeicher

Magnetplatten verwenden die gleichen Prinzipien wie Magnetbänder. Allerdings gibt es einen entscheidenden Unterschied. Während Daten auf dem Band nur sequentiell gelesen und geschrieben werden können, sind auf einer Platte zwei Dimensionen für die Adressierung vorhanden. Platten werden daher in *Spuren* und in *Sektoren* adressiert. Werden mehrere Platten zu einem Plattenstapel übereinander gestellt, spricht man statt von Spuren von *Zylindern*. Abb. 124 zeigt das Prinzip eines Plattenspeichers. Der Sektor entspricht dem Block



**Abbildung 124:** Plattenspeicher

Infolge des zweidimensionalen Zugriffsverfahrens ist der Plattenzugriff um Größenordnungen schneller als ein Zugriff auf Daten auf dem Magnetband. Platten werden deshalb als Sekundärspeicher eingesetzt, wenn der Arbeitsspeicher nicht ausreicht, Magnetbänder vor allem für die (langfristige) Datensicherung. Allerdings machen hier die optischen Speichermedien zunehmend Konkurrenz.

Die Plattengeometrie hat bei einfacheren Techniken zur Folge, dass die Bitlängen auf den äußeren Spuren länger als auf inneren sind, da die Platten mit konstanter Drehzahl laufen. Raffiniertere Schreibalgorithmen steuern die Schreibfrequenz in Abhängigkeit von der beschriebenen Spur, um so den Speicherinhalt zu erhöhen.

Da fehlerfreie magnetische Oberflächen schwierig herstellbar sind, enthält jede Platte einige Reservespuren, auf die defekte Spuren umadressiert werden können. Das geschieht u.a. beim Formatieren von Platten. Heutige Platten haben darüber hinaus aufwendige Elektronik eingebaut, die neben den Ansteuerungen auch einen Cache-Speicher enthalten, so dass die Wartezeiten für Schreiben und Lesen deutlich reduziert werden konnten. Die mittlere Latenzzeit einer Platte, die der Zeit für eine halbe Umdrehung entspricht, ( bei 10.000 U/min also 12 ms ) kann dadurch verringert werden.

Die Schreib/Lesegeschwindigkeit hängt auch von der Datenstruktur ab. Große Datenmengen können sehr effektiv in sequentiellen Blöcken verarbeitet werden, kleine Datensätze können auf diverse Sektoren in unterschiedlichen Zylindern verteilt sein, so dass der Zugriff jeweils mit erheblichen Kopfbewegungen verbunden ist, was den Durchsatz ausbremst. Daher sollten Platten nach gewissen Nutzungszeiten defragmentiert werden, um Dateien in zusammenhängende Speicherbereiche zu überführen.

*Disketten* sind herausnehmbare flexible Platten mit einer Scheibe. Da sie für den Datentransport an verschiedenen Stellen eingesetzt werden, haben sich genormte Disketten (gegenwärtig mit 2MB Rohkapazität und 1,4 MB formatierter Kapazität) durchgesetzt. Allerdings ist ihre Kapazität so gering, dass sie wohl demnächst verschwinden werden.

## 5.4 CD-ROM und andere optische Speichermedien

*Optische Speicher* (compact disks CD) sind prinzipiell aufgebaut wie Magnetplatten, d.h. man adressiert Spuren und Sektoren. (Akustische CDs werden mit einer Spiralspur beschrieben, wie klassische Schallplatten). Die physikalischen Methoden sind jedoch andere. Mittel eines Lasers werden kleine Löcher (eher optische Störungen) in das Trägermaterial gebrannt, die beim Abtasten mit einem Laserstrahl Störungen in dem reflektierten Licht verursachen und als Bits interpretierbar sind. Bei der Massenherstellung werden diese Störungen eingepresst. Wegen der hohen Speicherdichten sind die mechanischen Probleme die wichtigsten. Umfangreiche Regelungen und Steuerungen positionieren den Laserstrahl so, dass er auf der Spur bleibt. Der Lesestrahl wird durch elektro-optische Steuerungen fokussiert.

Zunehmend werden heute (2002) *WORM*-Platten (write once read manytimes) zur Datensicherung eingesetzt. Dabei ist das Lesegerät auch als Brenner eingesetzt. Ein deutlich stärkerer Laserstrahl schmilzt die Bits in die Spur. Daher kann man nicht so schnell schreiben wie lesen.

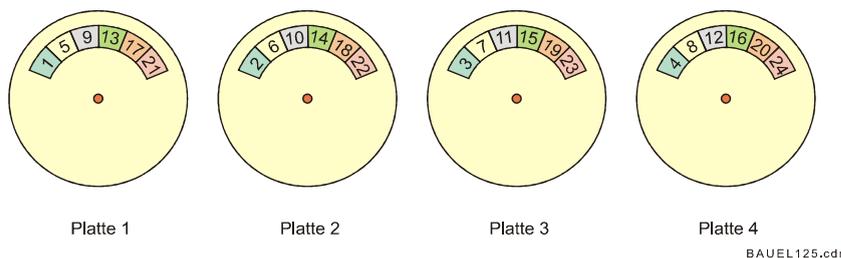
Eine interessante Variante sind *optomagnetische Platten*, die mehrfach beschrieben werden können. Die Platten haben eine magnetische Schicht. Ein Dauermagnet erzeugt ein äußeres Feld, das aber nicht zur Ummagnetisierung der Schicht ausreicht. Erst ein Energieimpuls aus einem Laser erhitzt das Material über den Curie-Punkt hinweg, so dass beim Abkühlen die äußere Feldrichtung "eingefroren" wird.

## 5.5 Plattenorganisation

In der letzten Dekade hat ein ungeheurer Preisverfall die Kosten für Magnetplatten so reduziert, dass heute Plattenarrays als Massenspeicher üblich sind. Solche Systeme heißen RAID (redundant array of inexpensive disks). Dabei versucht man, besondere Effekte zu erzielen, die nur mit mehreren Platten möglich sind. Diese werden mit RAID  $n$  bezeichnet. Die Idee stammt von der Universität Berkeley.

### 5.5.1 RAID Level 0

Ein schon lange eingesetztes Verfahren zum schnelleren Zugriff auf Plattendaten hieß früher *striping* und heute *RAID 0*. Dabei werden die einzelnen Blöcke eines Files auf verschiedene Platten verteilt, so dass die Latenzzeiten



**Abbildung 125:** RAID 0

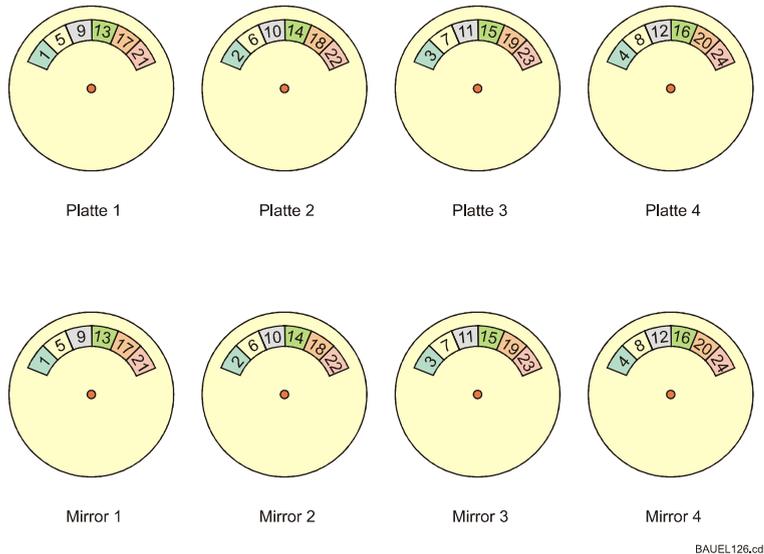
der Platten teilweise durch einen verschränkten Zugriff auf die Blöcke reduziert werden können. Abb. 125 zeigt das Prinzip. Jeweils 4 Blöcke können quasi gleichzeitig vom Controller adressiert werden. Insbesondere längere Files werden hier deutlich schneller geschrieben bzw. gelesen. Entsprechend groß sollten hier die Blocklängen gewählt werden. Bei kurzen Records ist jedoch der Verschnitt groß, d.h. die Differenz zwischen Blocklänge und Recordlänge. Ein Optimum

erhält man bei Anpassung der Blocklängen an die Datenstruktur. Es gibt also keine generell günstigste Lösung.

Das Prinzip des Striping lässt sich verallgemeinern. Statt Blöcken kann man auch andere Dateneinheiten, wie Bits oder Bytes auf die Platten verteilen. Man spricht dann vom *Striping-Faktor*.

### 5.5.2 RAID Level 1

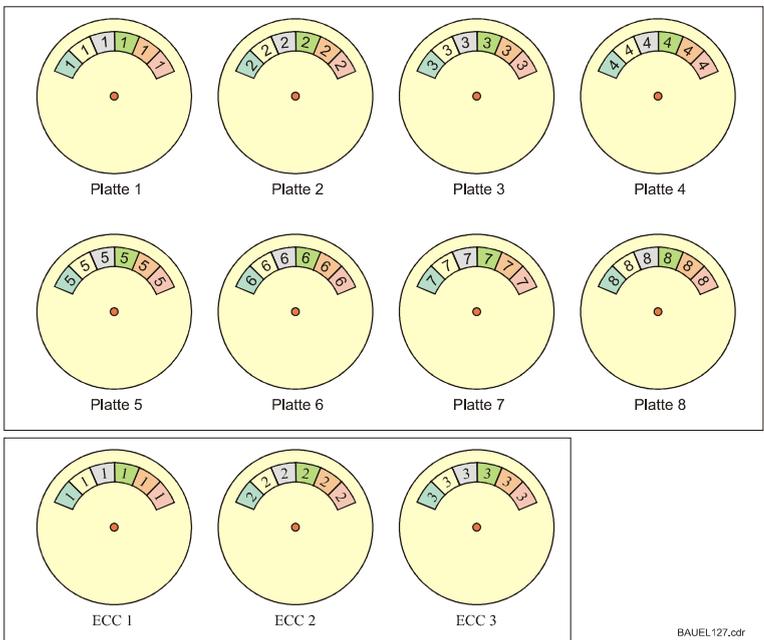
Größte Sicherheit erhält man mit *RAID 1*, auch *Mirroring* genannt. Hierbei werden die Platten einer Einheit auf eine zweite gespiegelt. Beim Ausfall eines Laufwerks tritt dann automatisch das Spiegellaufwerk an die Stelle des ausgefallenen. Bei Hochsicherheitsanwendungen ist die Halbierung des verfügbaren Speicherplatzes zu vertreten, bzw. die Verdopplung der Kosten. Die Organisation ist einfach. Häufig kombiniert man verschiedene RAID-Organisationen mit einander, z.B. RAID 0 und RAID 1. Man spricht dann von RAID 01 oder RAID 10.



**Abbildung 126:** RAID 1, die Nummern geben Blöcke an (Stripingfaktor ist 1 Block)

### 5.5.3 RAID Level 2

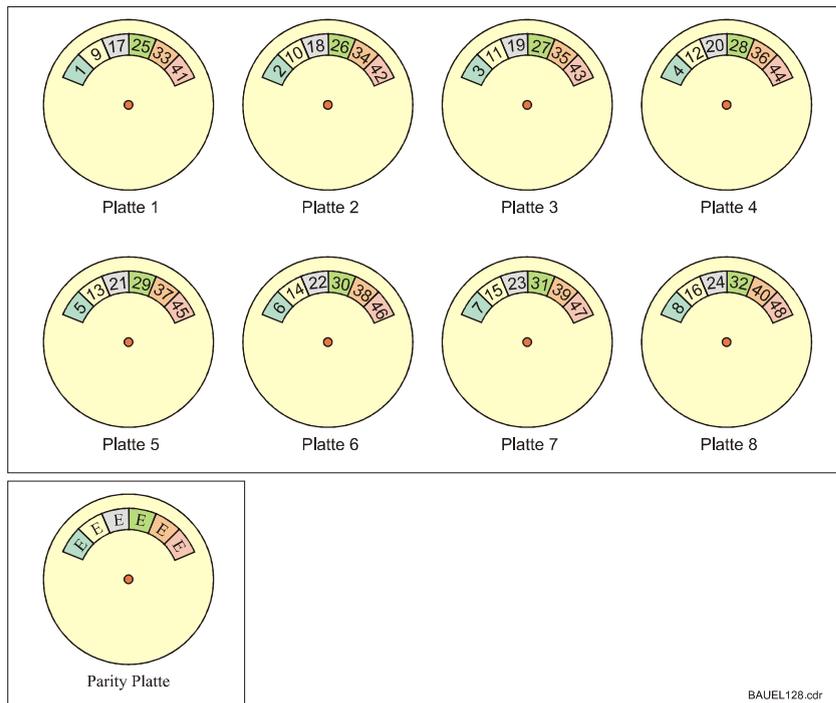
Hier ist das Verfahren komplexer. Die Daten werden umsortiert und *bitweise* auf die Striping-Platten geschrieben, d.h. Bit 1 eines Bytes auf Laufwerk 1, Bit 2 auf Laufwerk 2 usw. Zusätzlich werden ECCs von den Bytes berechnet, error correcting codes, die 2-Bit-Fehler erkennen und 1-Bit-Fehler korrigieren können. Diese 3 Bits werden wie die Nutzdaten *bitweise* auf drei weitere Platten geschrieben. Dadurch kann eine Platte ausfallen, ohne dass Daten verloren gehen. Infolge der Umsortierung der Bits und der Berechnung der ECCs ist dieses Verfahren recht aufwendig und wird kaum angewendet.



**Abbildung 127:** RAID 2, die Nummern geben die Bits im Byte an (Stripingfaktor ist 1Bit)

### 5.5.4 RAID Level 3

In RAID 3 werden wieder ganze Bytes gestriped und die ECCs auf eine einzige Platte geschrieben. Dadurch reduziert sich die Sicherheit, allerdings auch der Plattenaufwand. Insbesondere das Schreiben ist aufwendig, da die ECCs pro Byte berechnet und auf die Parity-Platte geschrieben werden müssen. D.h. bei jedem Zugriff auf Daten muss auch auf die Parity-Platte zugegriffen werden, sie wird zum Engpass des Plattensystems. Abb. 128 zeigt das Prinzip.

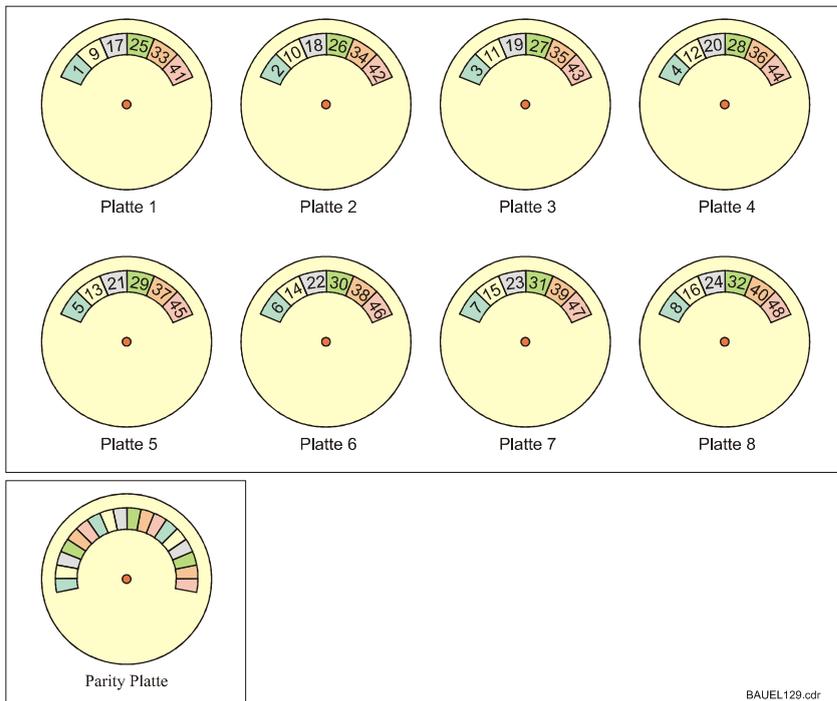


BAUEL128.cdr

Abbildung 128: RAID 3, Striping-Faktor ist 1 Byte

### 5.5.5 RAID Level 4

RAID Level 4 entspricht dem RAID Level 3, nur ist der Striping-Faktor ein Block oder größer. Der Vorteil liegt in dem schnelleren Zugriff bei kurzen Records. Es muss nur 1 Block gelesen werden, so dass die Zahl der Plattenzugriffe gegenüber RAID 2 oder RAID 3 reduziert ist. Wenn ECCs über Blöcke bestimmt werden statt über Bytes, nimmt ihre Anzahl entsprechend ab, so dass die Parity-Platte gegenüber RAID 3 kleiner sein kann. Abb. 129 modelliert das.



BAUEL129.cdr

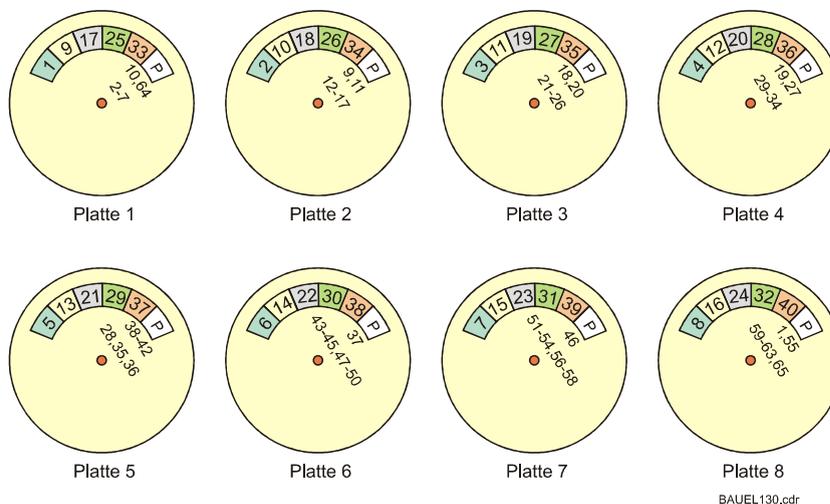
Abbildung 129: RAID 4, Striping-Faktor ist 1 Block oder größer

## 5.5.6 RAID Level 5

Dieser RAID Level wird sehr oft eingesetzt. Dabei ist der Striping-Faktor zunächst beliebig und kann an die zu speichernden Daten angepasst werden. Im Unterschied zu den vorher gehenden RAID-Leveln gibt es hier

keine spezielle Parity-Platte, die sich als Engpass herausstellen könnte. Vielmehr sind die ECCs auf alle Platten so verteilt, dass keine Platte ECCs der auf ihr gespeicherten Daten enthält.

Daher gibt es auf keinen Fall ECC-Zugriffs-Engpässe, da jeweils andere Platten adressiert werden. Auch hier achtet man bei der Organisation der Platten darauf, dass bei Ausfall einer Platte keinerlei Daten verloren gehen. Abb. 130 zeigt das Schema.



**Abbildung 130:** RAID 5, die ECCs sind auf die anderen Platten verteilt

