



Prenos podatkov

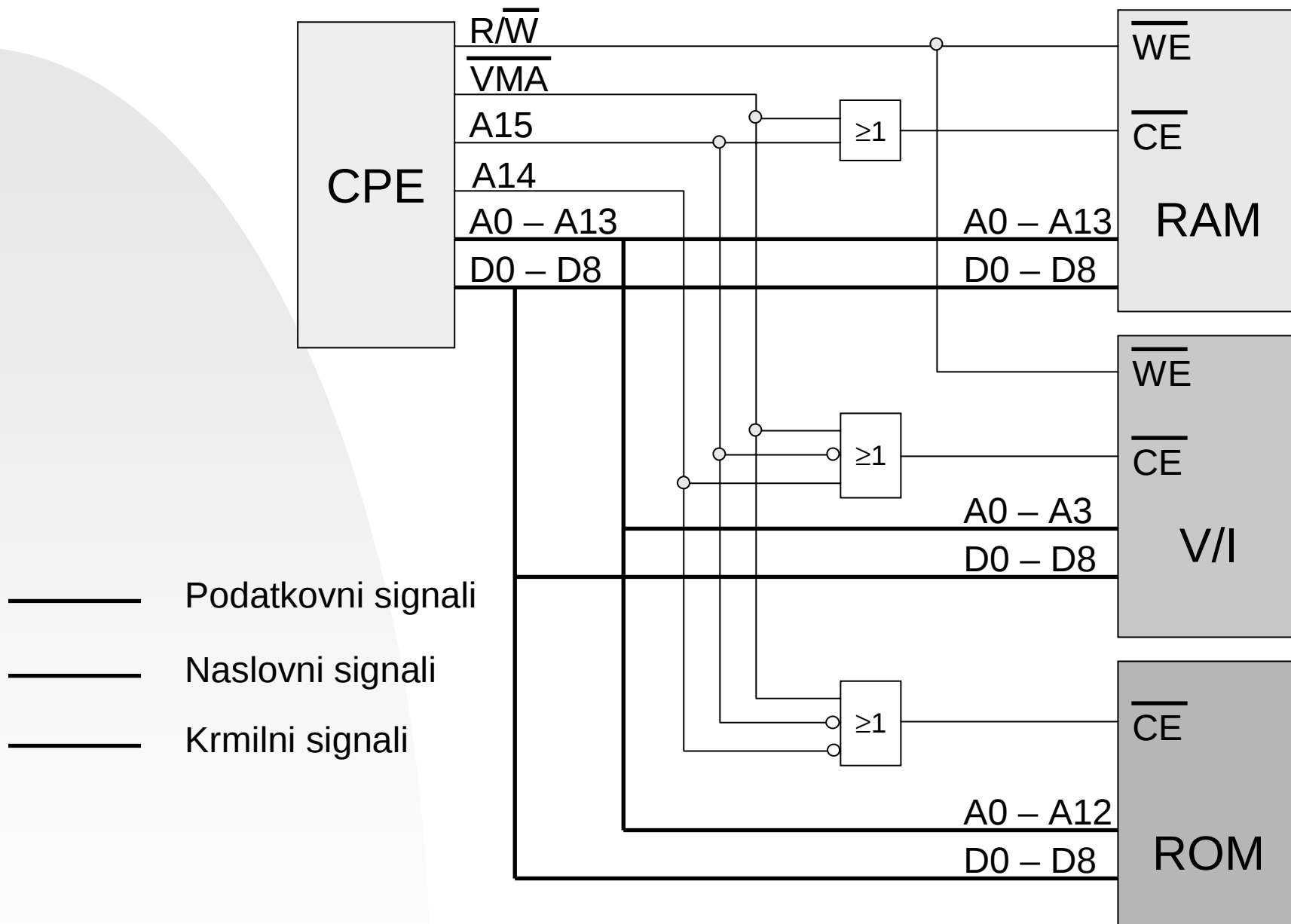
- Signali
- Vodila
- Načini prenosa podatkov
- Protokoli
- Višje funkcije vodil

Signali

Komunikacija med posameznimi enotami v mikroračunalniku poteka preko signalov:

Signali so električne veličine, največkrat napetost, prenašajo se preko povezovalnih linij

- včasih tudi optični prenos
- groba delitev: naslovni, podatkovni, krmilni



Nivoji signalov

Napetostni signali imajo svoje predpisane nivoje, ki določajo, katerim napetostim pripadata logični vrednosti 0 in 1.

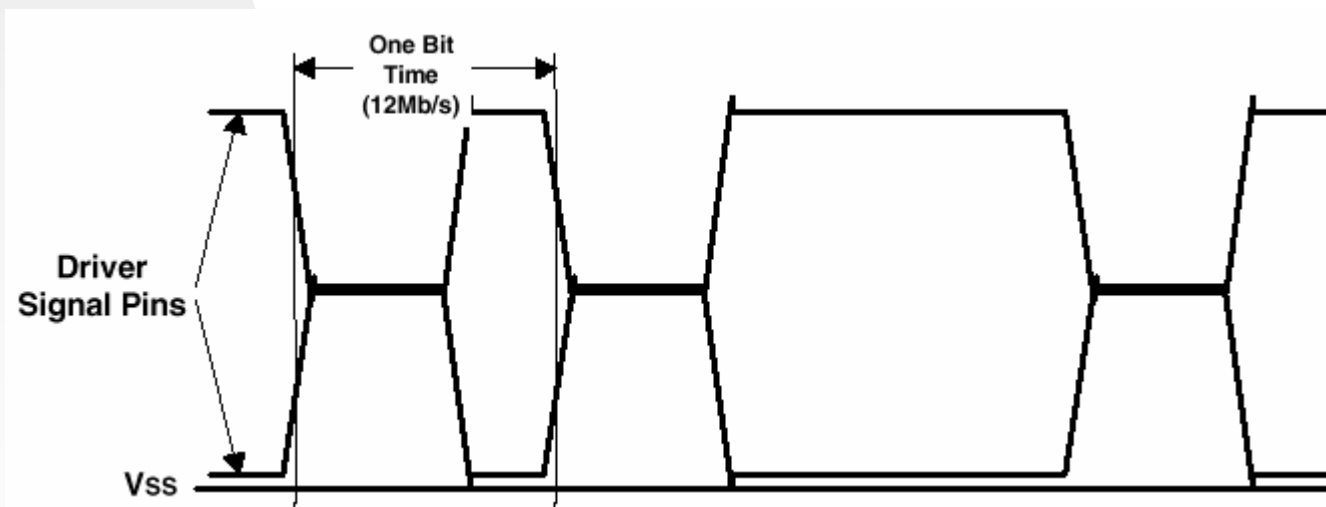
5V TTL



Trendi proti nižjim napetostim: 3,3V, 1,8V

Nivoji signalov

V določenih primerih vrednost signal predstavlja polariteta napetosti (npr. USB signali), svetlobni tok (npr. IR signali) ali radijski signali (npr. Bluetooth).



Zgled signalov pri USB komunikaciji

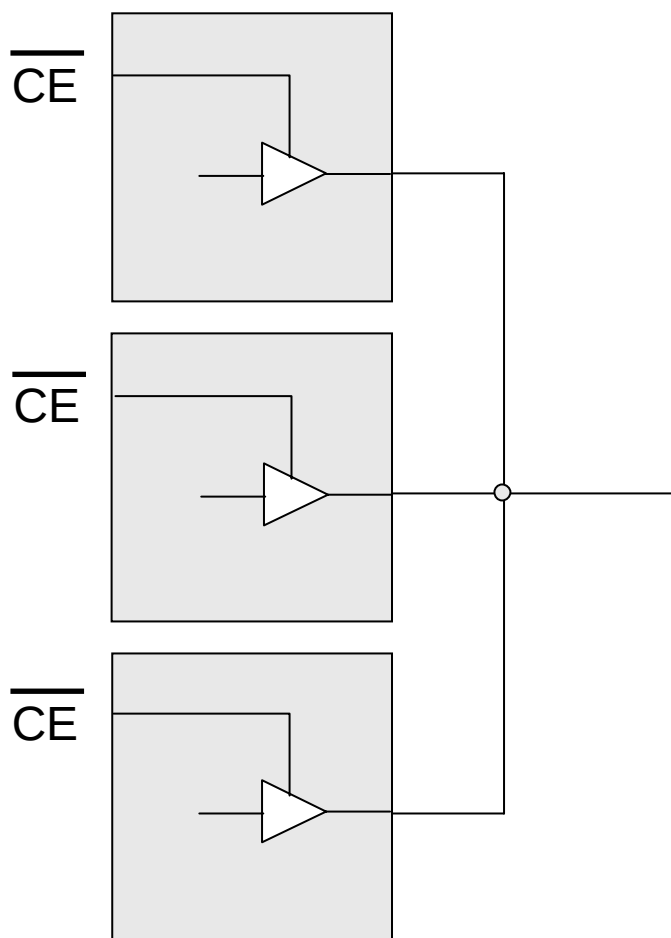
Lastnosti signalov

Pomen: opis vpliva signala na delovanje sistema (naslovni, podatkovni, urini, prekinitveni, statusni in drugi signali)

Smer: vhodni, izhodni, dvosmerni signali, glede na smer pretoka informacije;

Stanje: je lahko v visokem "1" ali nizkem "0" stanju. Pozitivna logika: "1" je visok nivo. Lahko so tudi v stanju visoke upornosti (visoke impedance, HiZ) (ni namenjeno za prenos informacij)

Uporaba visoke impendence za vzporedno povezovanje izhodov



Vodila

So skupine linij, ki tvorijo funkcionalno celoto.

Tri skupine linij: podatkovno, naslovno in krmilno vodilo.

Vodilo v širšem pomenu besede: celota vseh treh vodil.

Fizično predstavlja vodilo skupina žic, linij, povezav na tiskanem vezju

Vodila prenašajo signale med različnimi enotami mikroračunalniškega sistema.

Izbira vodila

Predstavlja en od prvih korakov pri snovanju μ R.

Izbira je odvisna od

- ◆ uporabljenega mikroprocesorja,
- ◆ zahtevanih zmogljivosti,
- ◆ načina strežbe prekinitev,
- ◆ dodeljevanja prenosnega medija,
- ◆ in drugih značilnosti sistema.

Pomembno je, da je zmogljivost vodila pravilno (uravnoteženo) izbrana

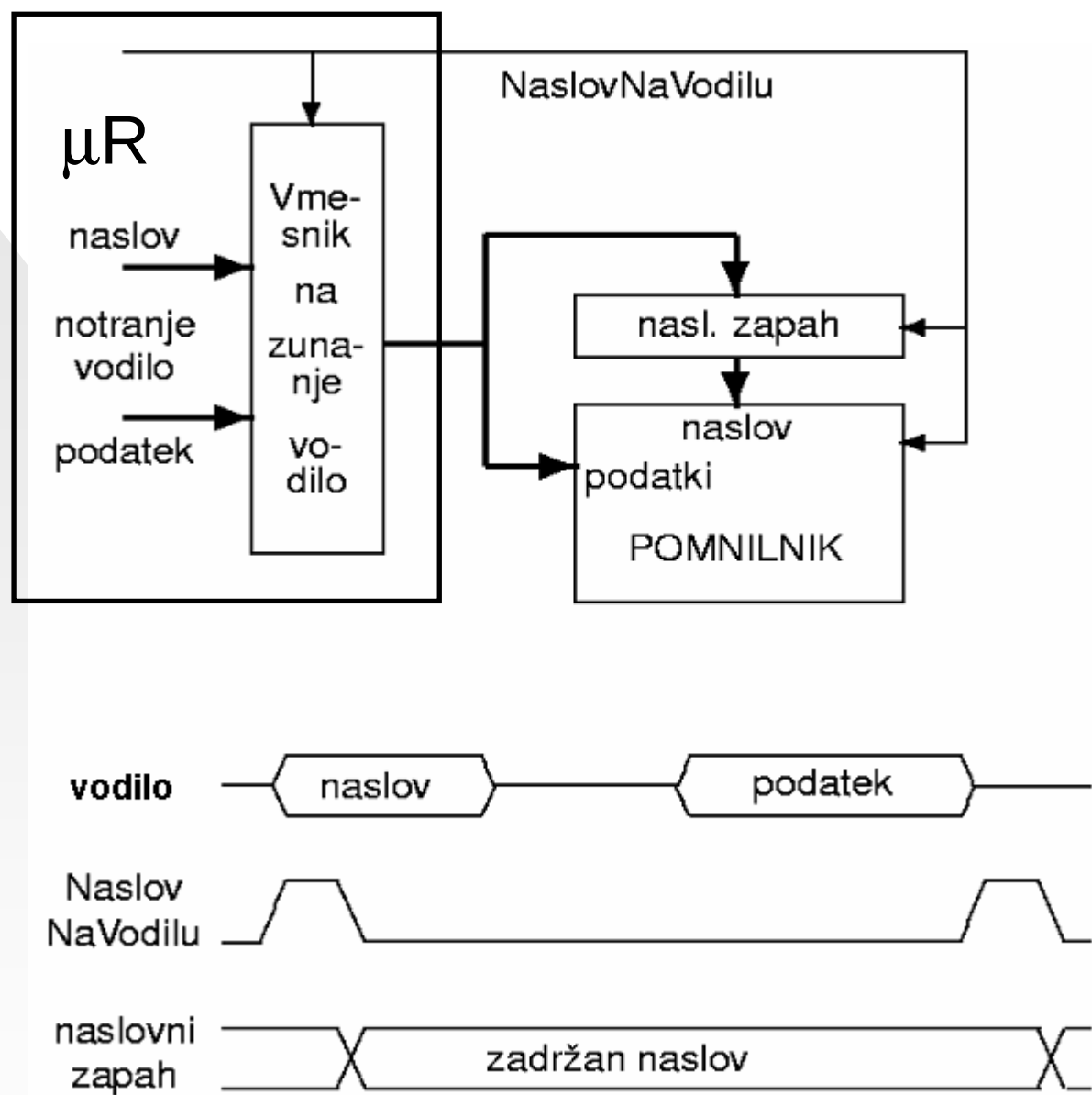
Delitev vodil

Multipleksirana (deljena)

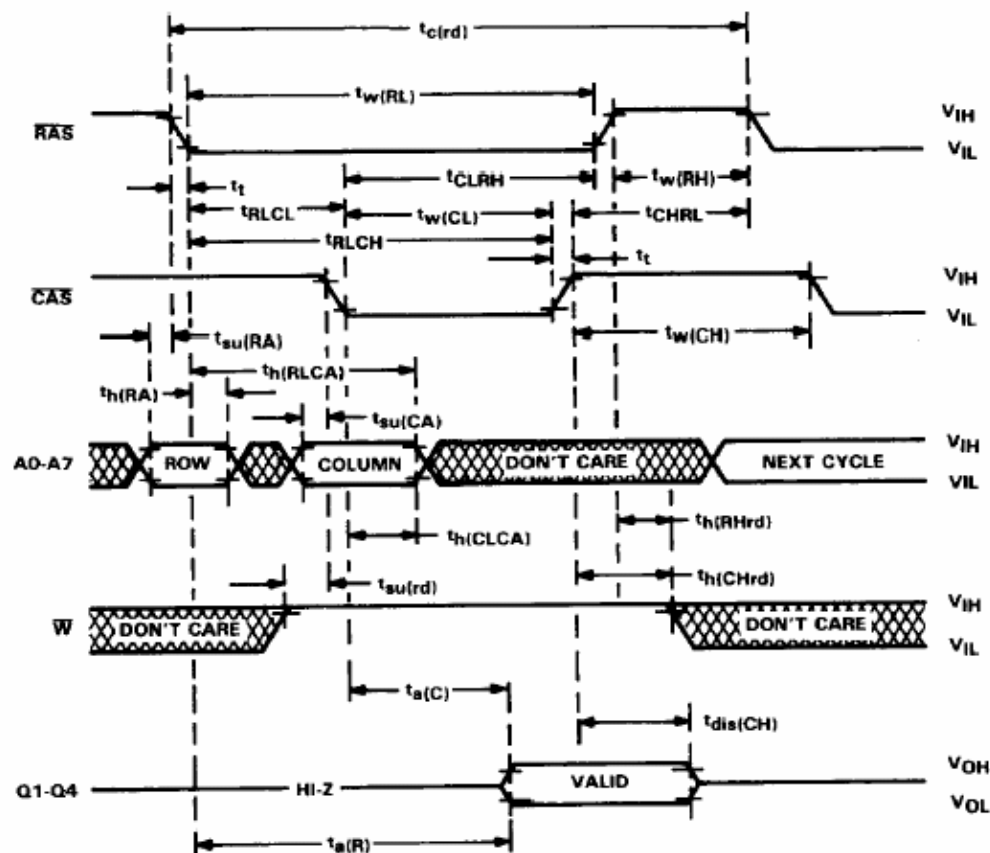
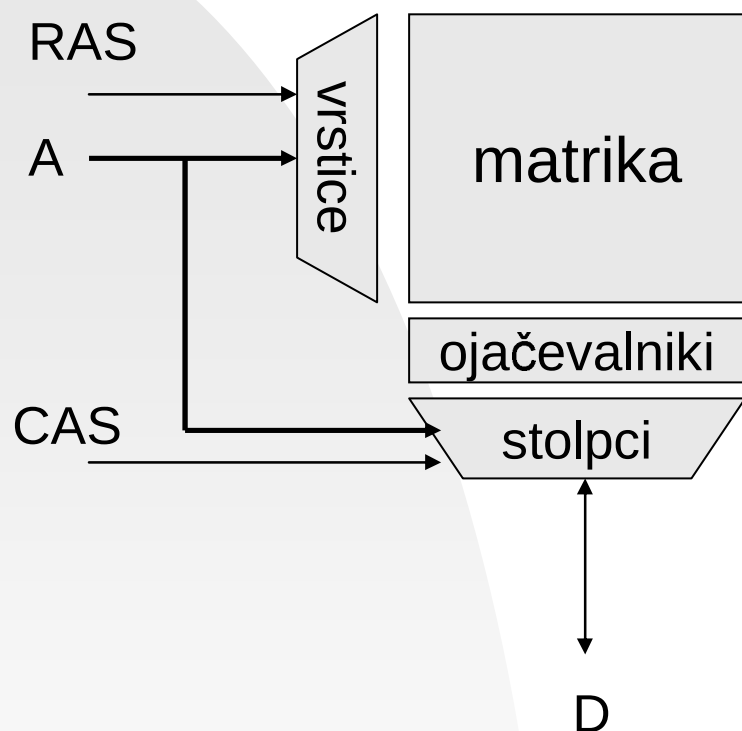
na nožicah v enem trenutku ene, v drugem druge signale, kar je sinhronizirano s krmilnimi linijami, povezanimi s sistemsko uro.

Običajno so multipleksirani naslovni in podatkovni signali (Intelova družina procesorjev in dinamični RAM pomnilniki)

- + manj priključkov, manjša in cenejša vodila, manj prostora na tiskanem vezju;
- bolj kompleksni, počasnejši.



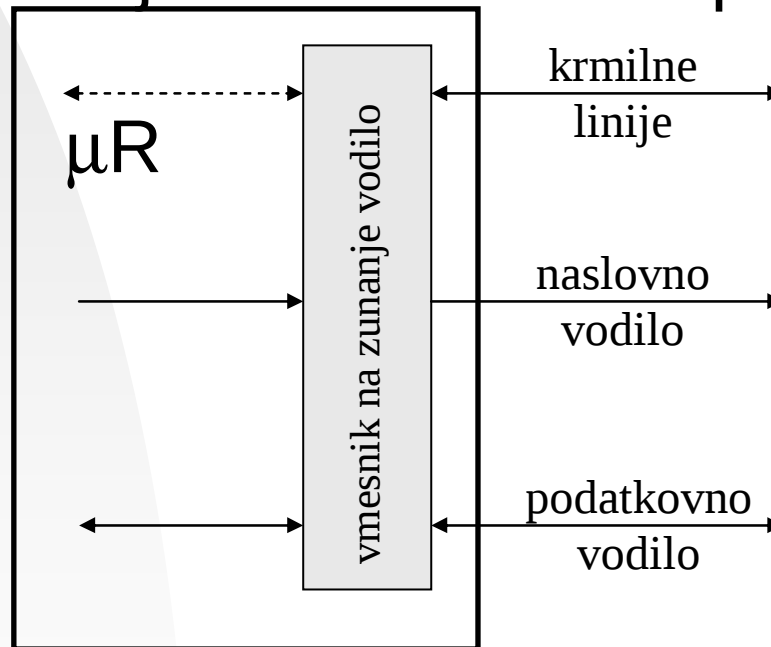
Multipleksirano naslovno vodilo pri dinamičnih pomnilnikih



Delitev vodil – nad.

Nemultipleksirana

Ločene linije za različne skupine signalov.



- + manj kompleksno, hitro;
- več priključkov, večja in dražja vodila, več prostora na vezju

Tipi enot na vodilu

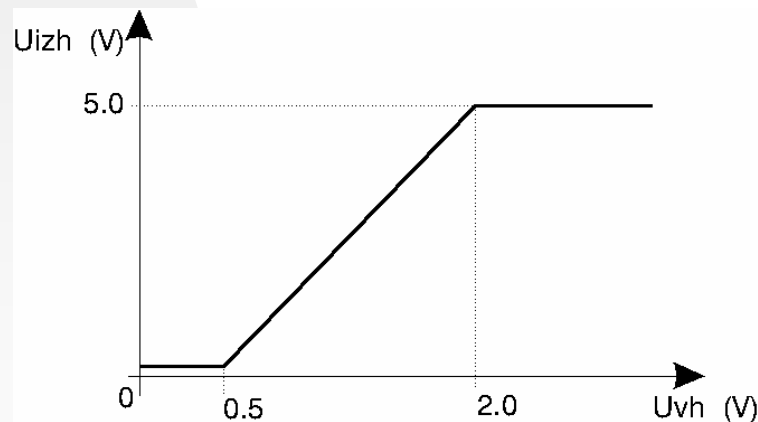
- Aktivne enote (gospodarji) : enote, ki lahko zahtevajo dostop do medija za prenos podatkov (mikroprocesor)
- Pasivne enote (sužnji) : enote, ki se lahko le odzivajo na zahteve po prenosu podatkov in ga same ne morejo zahtevati (pomnilnik)
- Kombinirane enote: enote, ki so lahko aktivne ali pasivne, vendar ne istočasno (DMA krmilnik)

Mehanske značilnosti vodil

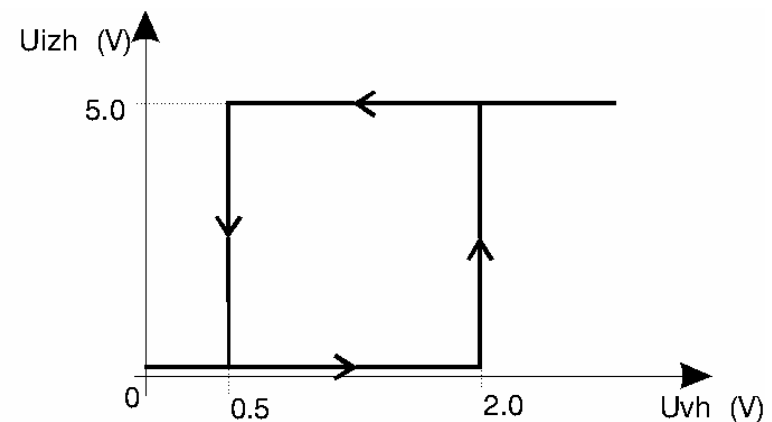
- Običajno izvedena kot del matične plošče (motherboard) s konektorji (npr. PCI vodilo)
- Paralelna povezava veliko linij - blizu skupaj: razni električni problemi (presluh - signal z ene linije se zaradi indukcije čuti na sosednji, kapacitivne izgube ipd.)
- Enodelni, dvodelni, robni konektorji
- Posebne linije za napajanje

Oddaja in sprejem signalov

- Oblika signalov se med prenosom popači
- Oddajniki: ojačijo signale, visoka impedanca
- Sprejemniki: popravijo nivoje, ločitev od vodila



a)



b)

Zgled popravila nivojev vhodnega signala

Načini prenosa podatkov

Paralelni: veliko linij, kratke razdalje,

Več bitov informacije se prenese hkrati
(npr. vzporedni tiskalniški priključek)

Serijski: dve liniji, dolge razdalje, optika, počasnejši

Več bitov informacije se prenese s časovnim
zamikom (npr. RS232)

Sinhronizacija med sprejemnikom in oddajnikom:

sinhroni – asinhroni način

Sinhroni način

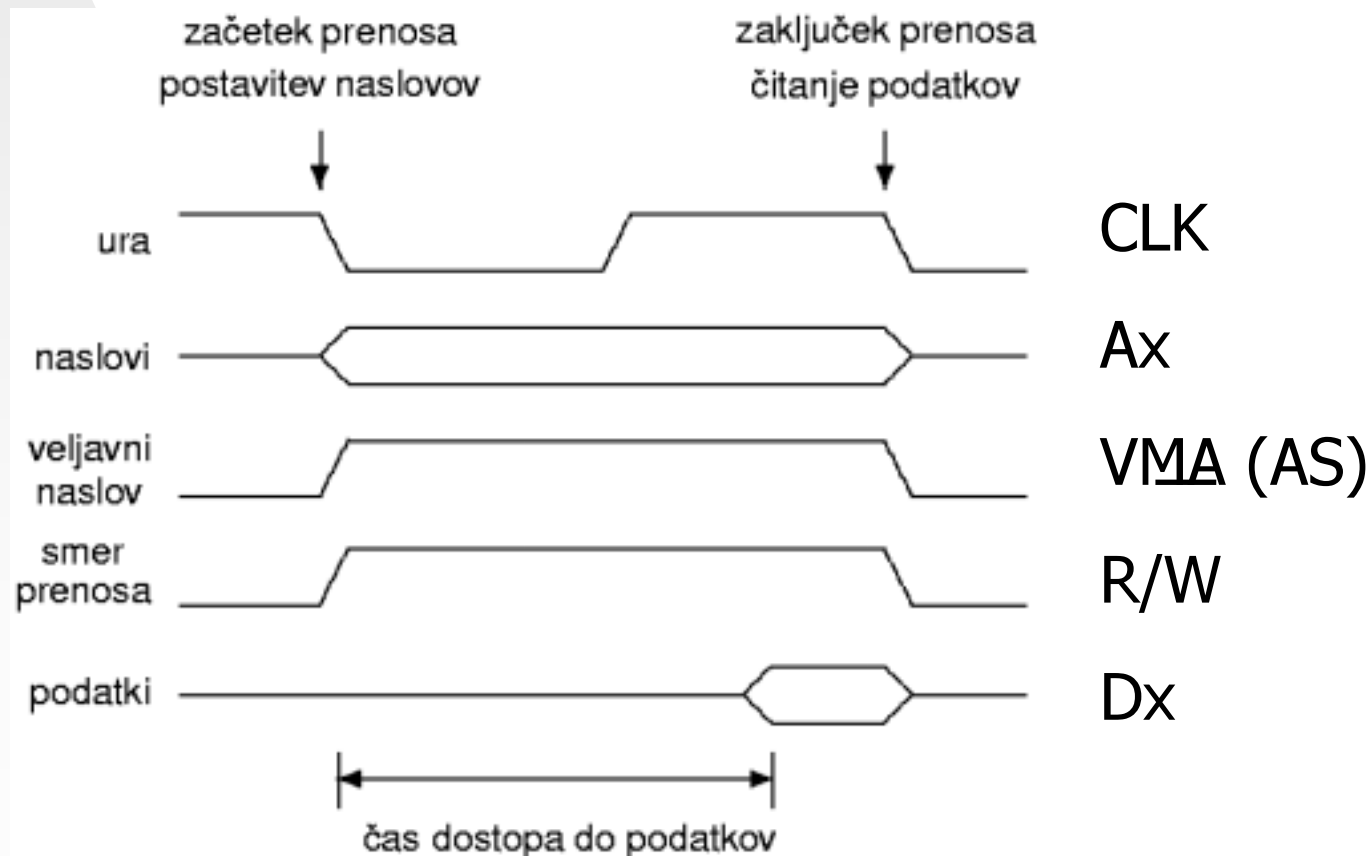
Informacije se prenašajo v taktu s skupnim urinim signalom.

Urin signal se lahko prenaša po vodilu ali pa ima vsaka naprava svojo lokalno uro - lokalne ure so na nek način medsebojno sinhronizirane (po dogovoru, po posebnem protokolu, radijsko ipd.).

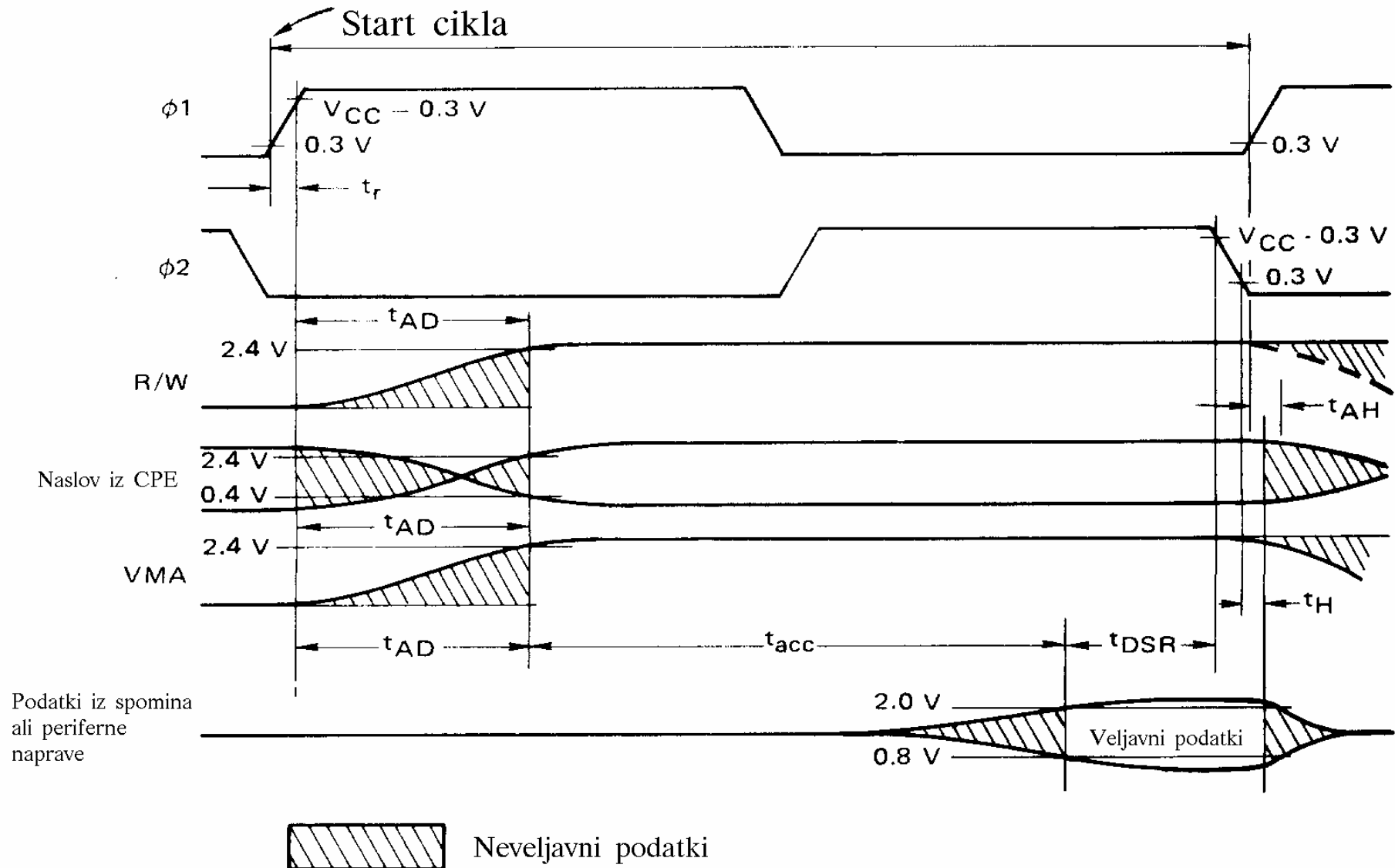
Frekvenca ure pri sinhronem načinu prenosa mora biti izbrana tako, da lahko izvedejo prenos tudi najpočasnejše naprave na vodilu.

Sinhroni način

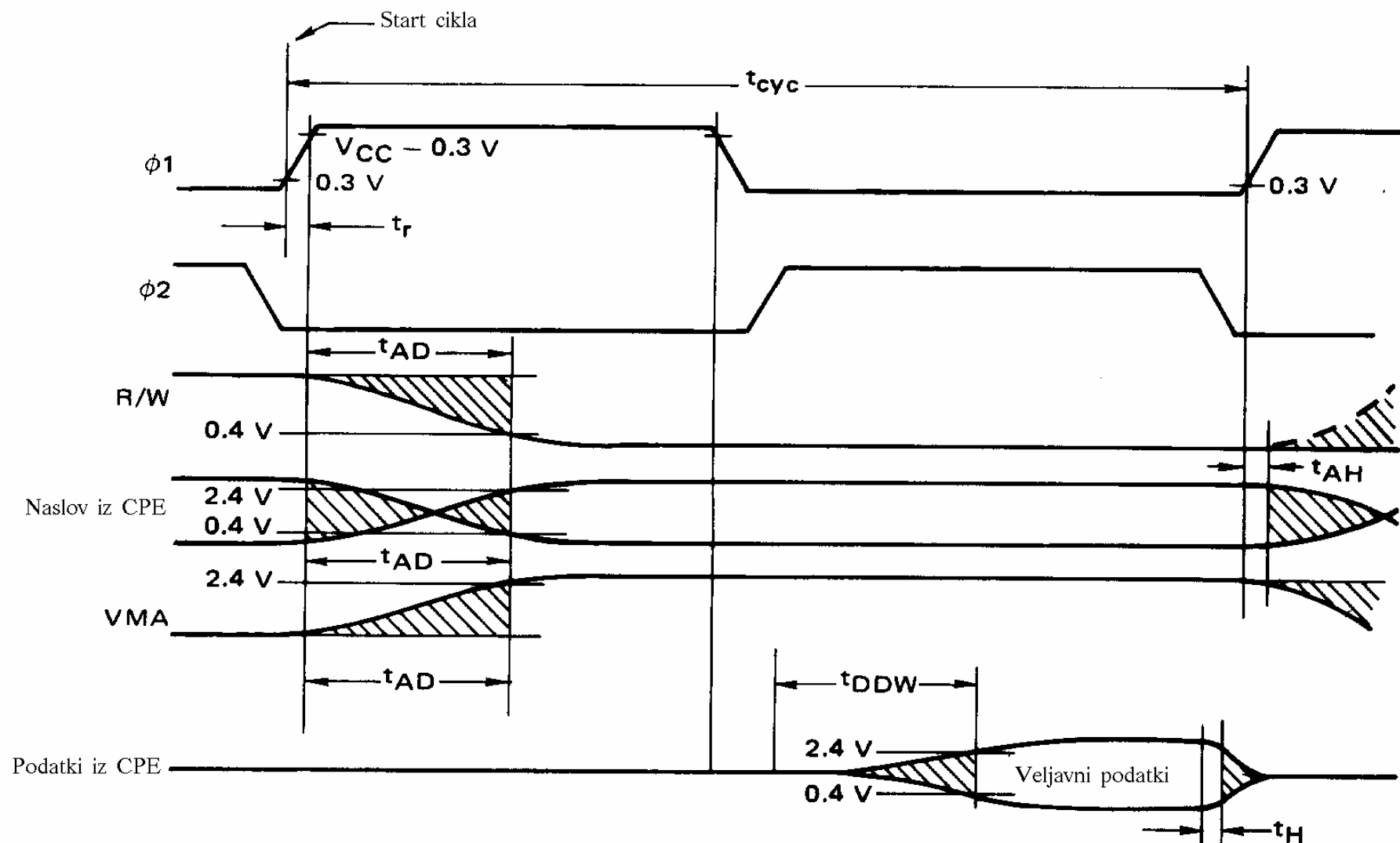
Zgled sinhronega prenosa podatkov med mikroprocesorjem in pomnilnikom oz. perifernimi napravami.



Čitanje pri m6800



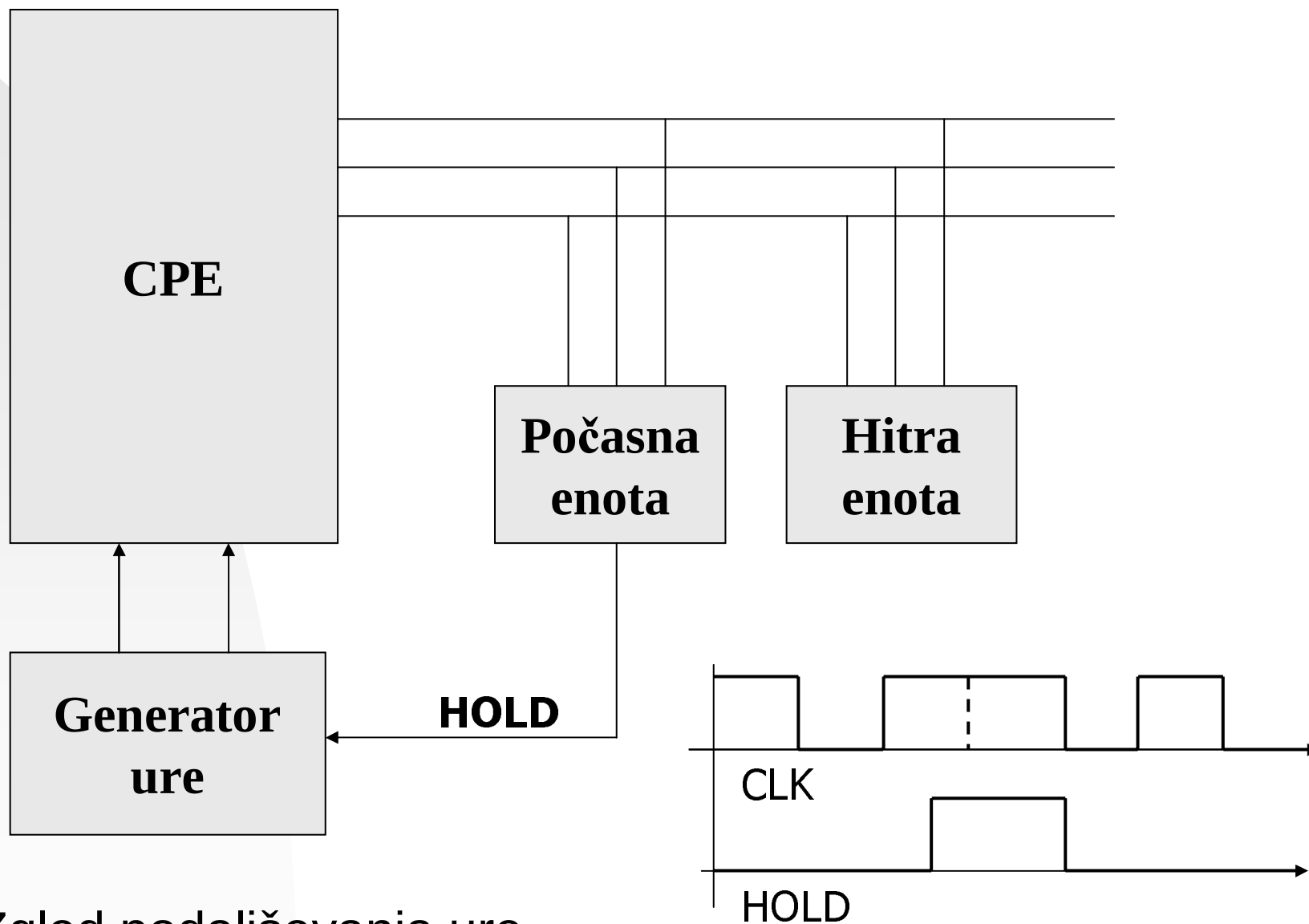
Pisanje pri m6800



Pomanjkljivosti sinhronega prenosa

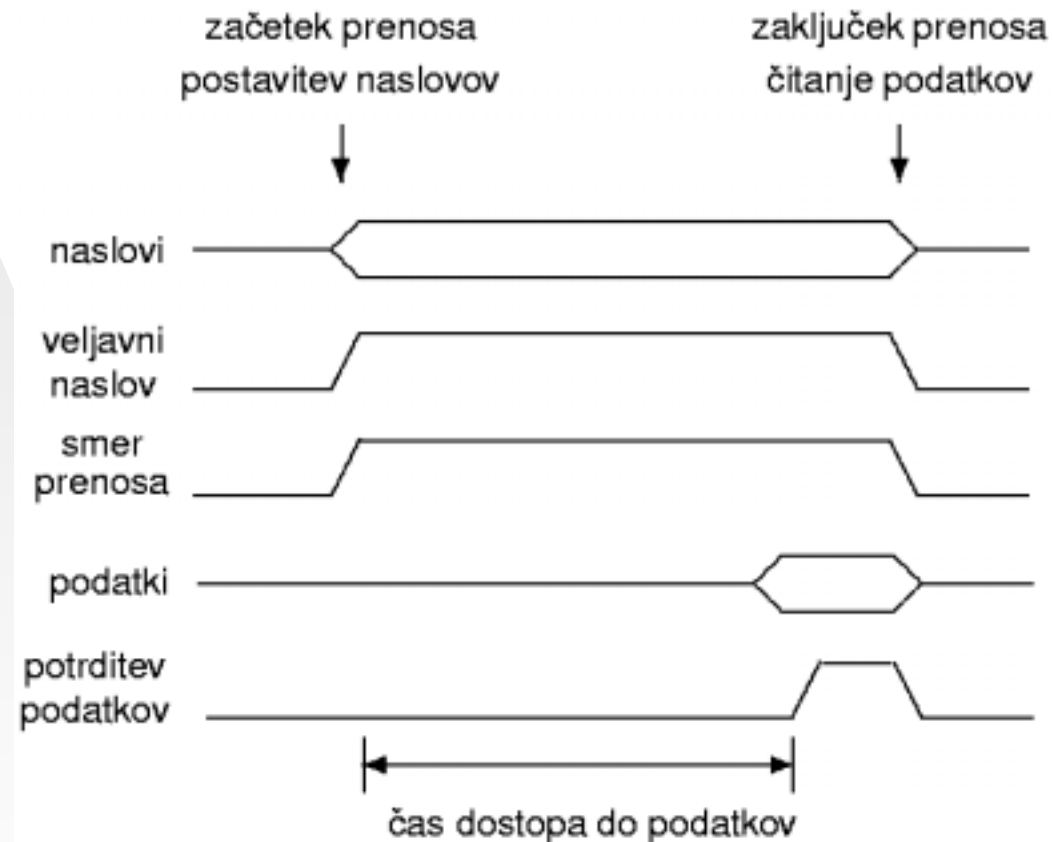
Frekvenca urinega signala se mora prilagajati najpočasnejši enoti => hitre enote po opravljeni nalogi čakajo.

- ◆ Potrebne so čimbolj primerljive hitrosti enot
- ◆ Nefleksibilnost ob zamenjavi enot
- ◆ Uporabimo lahko podaljševanje ure – počasna naprava zadrži (zamrzne) sistemsko uro.



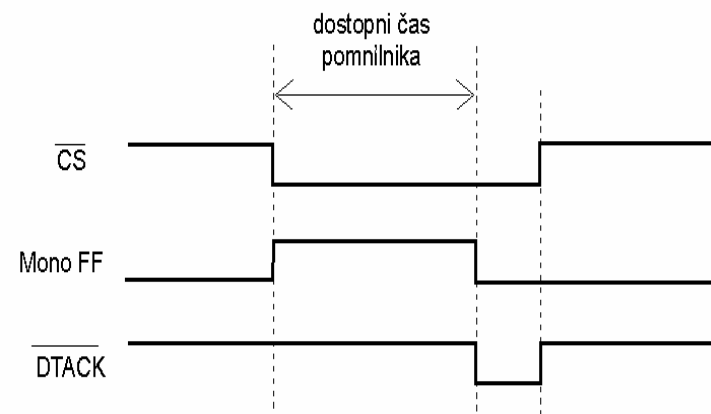
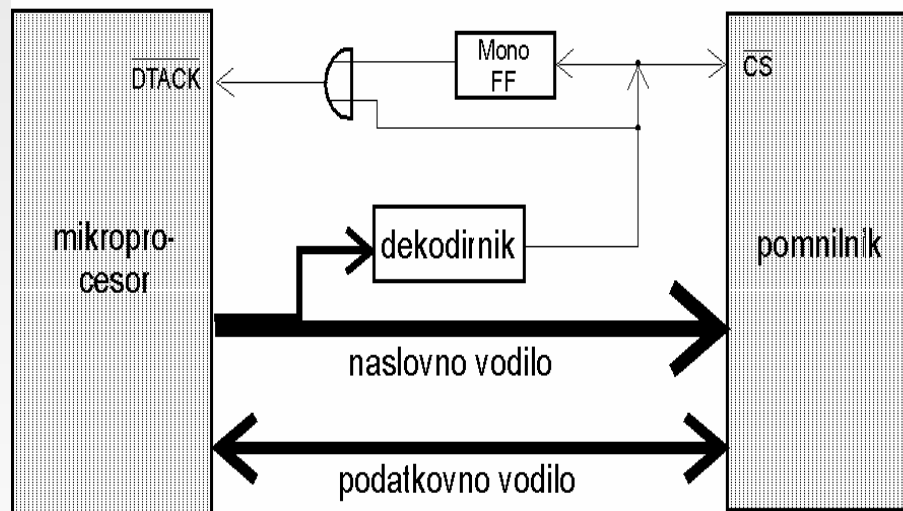
Zgled podaljševanja ure

Asinhroni način

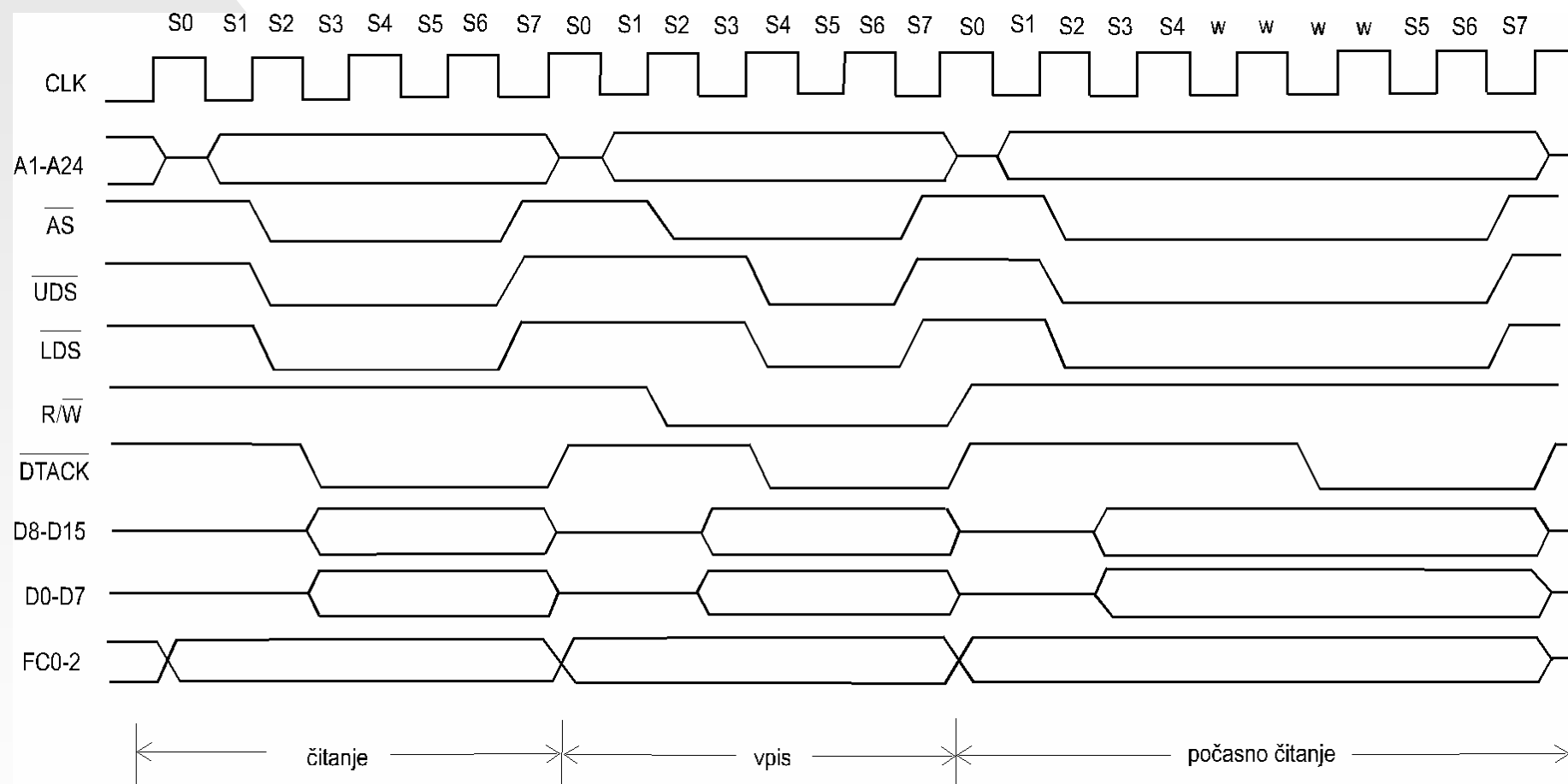


- Odpravljena nefleksibilnost sinhronega načina
- Watchdog za zaščito

Generiranje DTACK



Asinhroni prenos pri MC68000



Protokoli prenosa podatkov

DIAGRAM POTEKA ČITANJA BESEDE

PROCESOR $\leftarrow$ NASLOVLJENA ENOTA

Naslavljanje enote

Postavi $R/\overline{W}$ na čitanje
Postavi naslove $A_1 - A_{23}$
Postavi FC kode $FC_0 - FC_2$
Postavi AS
Postavi $\overline{UDS}$ in $\overline{LDS}$ na 0

Sprejem naslova in pošiljanje podatkov

Dekodiraj naslov
Postavi podatke na D_0 do D_{15}
Postavi $\overline{DTACK}$

Sprejem podatkov

sprejmi podatke
negiraj $\overline{UDS}$ in $\overline{LDS}$
negiraj $\overline{AS}$

Zaključek cikla prenosa podatkov

odstrani podatke z D_0 do D_{15}
negiraj $\overline{DTACK}$

Začni naslednji cikel

DIAGRAM POTEKA PISANJA BESEDE

PROCESOR $\rightarrow$ NASLOVLJENA ENOTA

Naslavljanje enote

Postavi naslove $A_1 - A_{23}$
Postavi FC kode $FC_0 - FC_2$
Postavi AS
Postavi $R/\overline{W}$ na pisanje
Postavi podatke na $D_0 - D_{15}$
Postavi $\overline{UDS}$ in $\overline{LDS}$ na 0

Sprejem naslova in podatkov

Dekodiraj naslov
Sprejmi podatke z D_0 do D_{15}
Postavi $\overline{DTACK}$

Zaključek prenosa

negiraj $\overline{UDS}$ in $\overline{LDS}$
negiraj $\overline{AS}$
odstrani podatke z D_0 do D_{15}
postavi $R/\overline{W}$ na Read

Zaključek cikla prenosa podatkov

negiraj $\overline{DTACK}$

Začni naslednji cikel

Read-Modify-Write cikel

Podatki se prečitajo iz periferne enote, spremenijo in zapišejo nazaj na isti naslov

- Pri ukazih za rotiranje in premik operandov, povečevanje, zmanjševanje
- Test-And-Set ukaz, ki se uporablja za realizacijo semaforjev in podobnih sinhronizacijskih konstruktov, ki jih uporabljamo v multiprogramskih okoljih.

Krmilne linije

- R/W
- AS
- DS
- DTACK
- RESET

Ogranizacija podatkov na vodilih

- Organizacija: preslikava daljših podatkov na vodila
- little-big endians

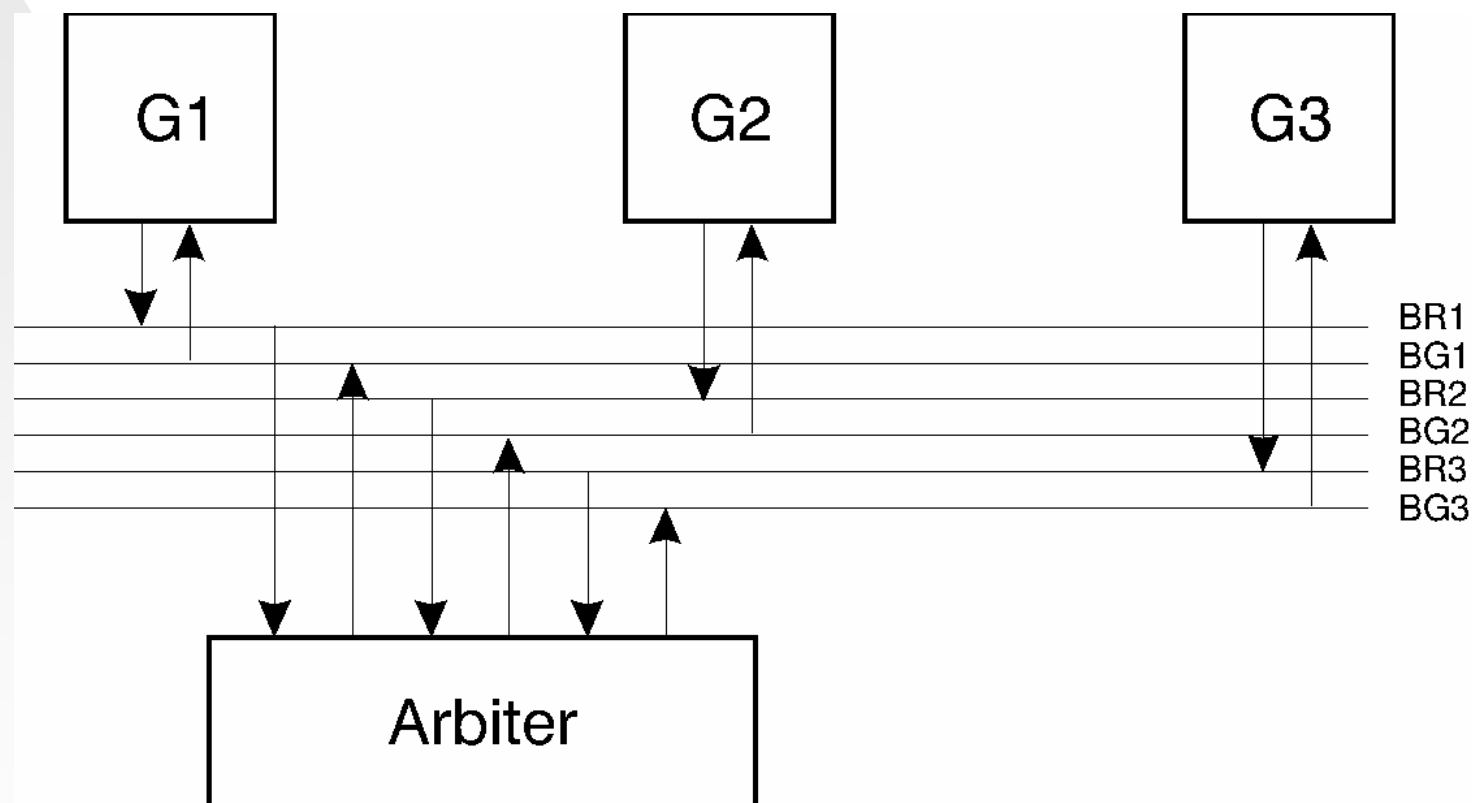
Višje funkcije vodil

- Arbitraža – dodeljevanje vodila,
- Strežba prekinitev - prekinitveni prevzemni cikel,
- Povečanje robustnosti,
- Pozicijski kod

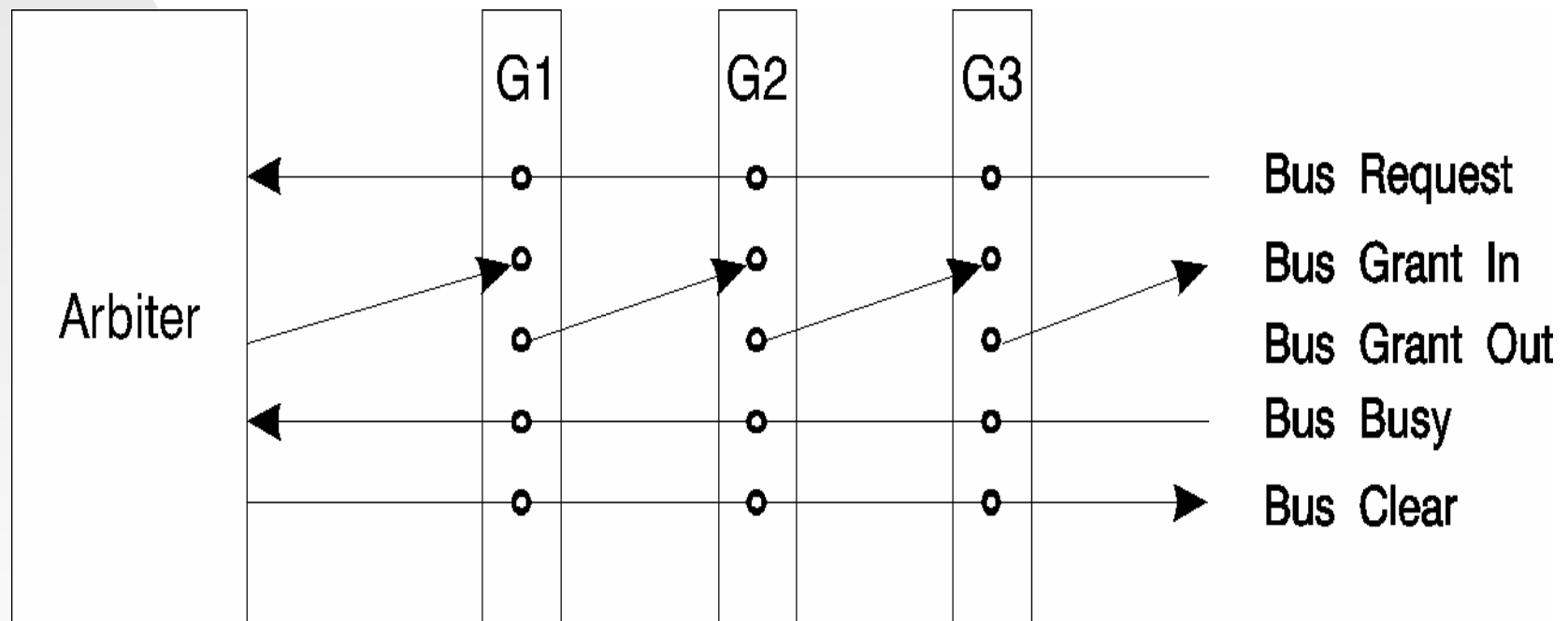
Dodeljevanje vodil

- Več potencialnih gospodarjev, ki lahko istočasno zahtevajo prenos podatkov (multi-master)
- Arbitraža morajo zagotoviti, da vsak gospodar, ki to zahteva, po nekem času dobi dostop do vodila.
- Sproščanje vodila: ko bo končal svoje delo (Release When Done, RWD) ali se ga da prekiniti na zahtevo (Release On Request, ROR).
- Zvezdasta arbitraža, marjetična veriga in arbitražno vodilo.

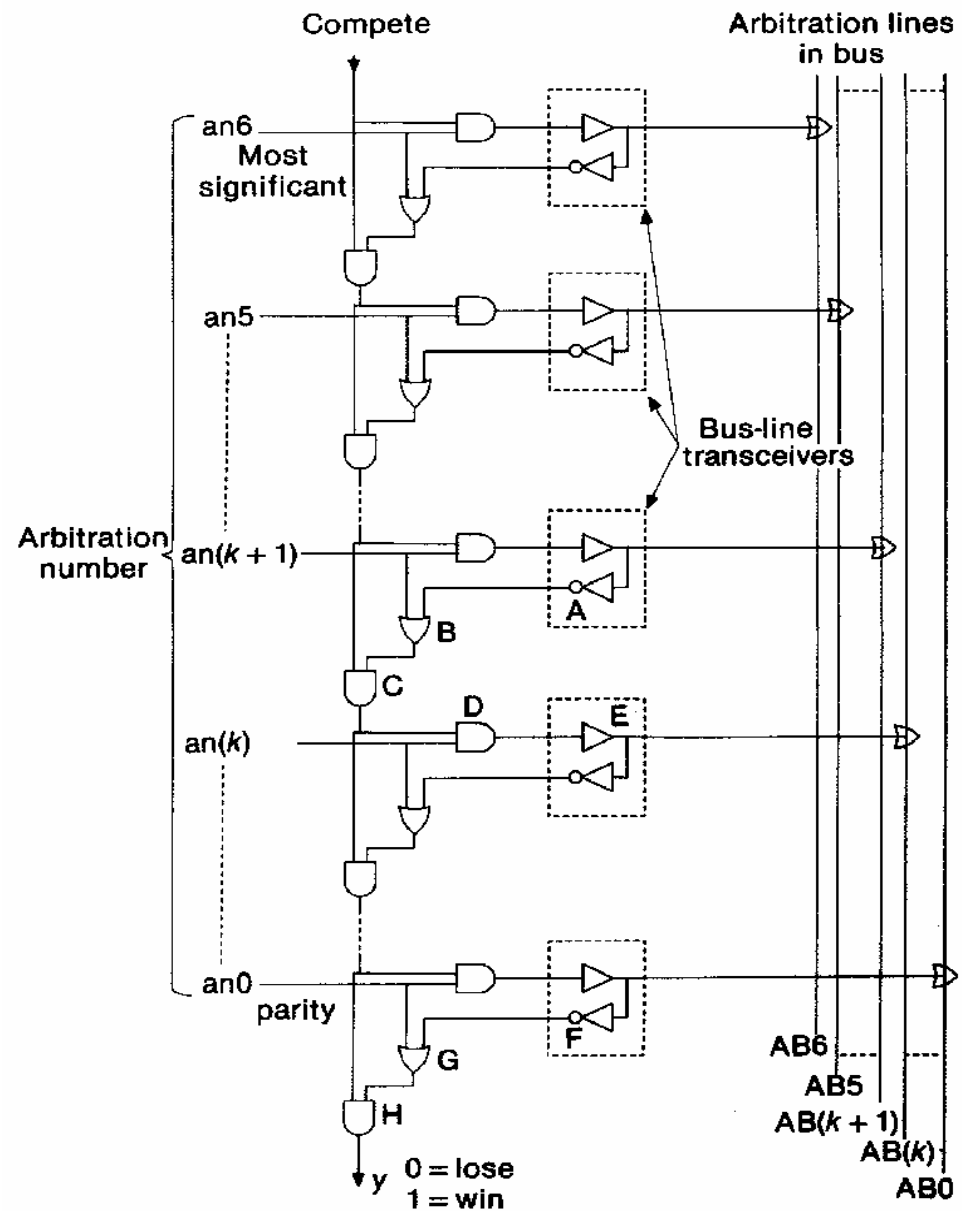
Zvezdasta arbitraža



Marjetična veriga



Arbitražno vodilo



Prekinitve na vodilih

- Prekinjevalci - strežniki prekinitev
- Ko prekinjevalec sproži prekinitev, mora strežnik ugotoviti, kdo in kaj je zahteval, ter začeti strežbo.
- Lahko se zgodi, da več prekinjevalcev zahteva strežbo v istem trenutku. Takrat se mora nek arbitracijski mehanizem odločiti, katero zahtevo bo prvo postregel.
- Mehanizmi podobni arbitraži
- Pogosto marjetična veriga (npr. VME).

Skupine signalov višjih vodil

- podatkovni, naslovni signali ter signali za krmiljenje poteka
- signali za arbitražo
- prekinitveni signali
- sistemski signale (urini in sinhronizacijski signali, reset, halt ipd., ter napajalne linije)
- signali za odkrivanje in popravljanje napak
- pozicijski signali

ISA (Industrial Standard Architecture)

- Prva verzija: 8 bit, 4.77Mhz
- 1984: 16 bit, 8Mhz (AT-bus)
- 1993: PnP ISA (intel in Microsoft)

Delovanje ISA vodila

- sinhrono podatkovno vodilo
- nemultipleksirane naslovne in podatkovne linije
- omogoča klasični prenos podatkov (kot pomnilnik ali V/I območje) in DMA (direct memory access) prenos

Standardni priključki ISA vodila

CLK	Sistemska ura
SD0-SD15	16 bitno podatkovno vodilo (za 8 bitni prenos se uporabljajo linije SD0-SD7)
SA0-SA19	20 bitno naslovno vodilo.
IOR#,IOW#	Signal branja in signal pisanja na V/I področje.
SMEMR#, SMEMW#	Signal branja in signal pisanja na pomnilniško področje.
BALE	Veljavni naslov (address latch enable). Označuje, da je naslov podan na priključkih SA0-SA19 veljaven.
I/O CHRDY#	Postavi ciljna naprava za dodatno zakasnitev pri prenosu.
OWS#	Brez zakasnilnih ciklov (sicer 1 zakasnilni cikel)

MEMCS16#, I/OCS16#, SBHE# Razširitvene linije za 16 bitni prenos.

LA17-LA23 Razširitvene naslovne linije.

DRQ0-DRQ3, DRQ5-DRQ7 Zahteva po DMA prenosu podatkov.

DACK0#-3# Potrditev DMA prenosa.

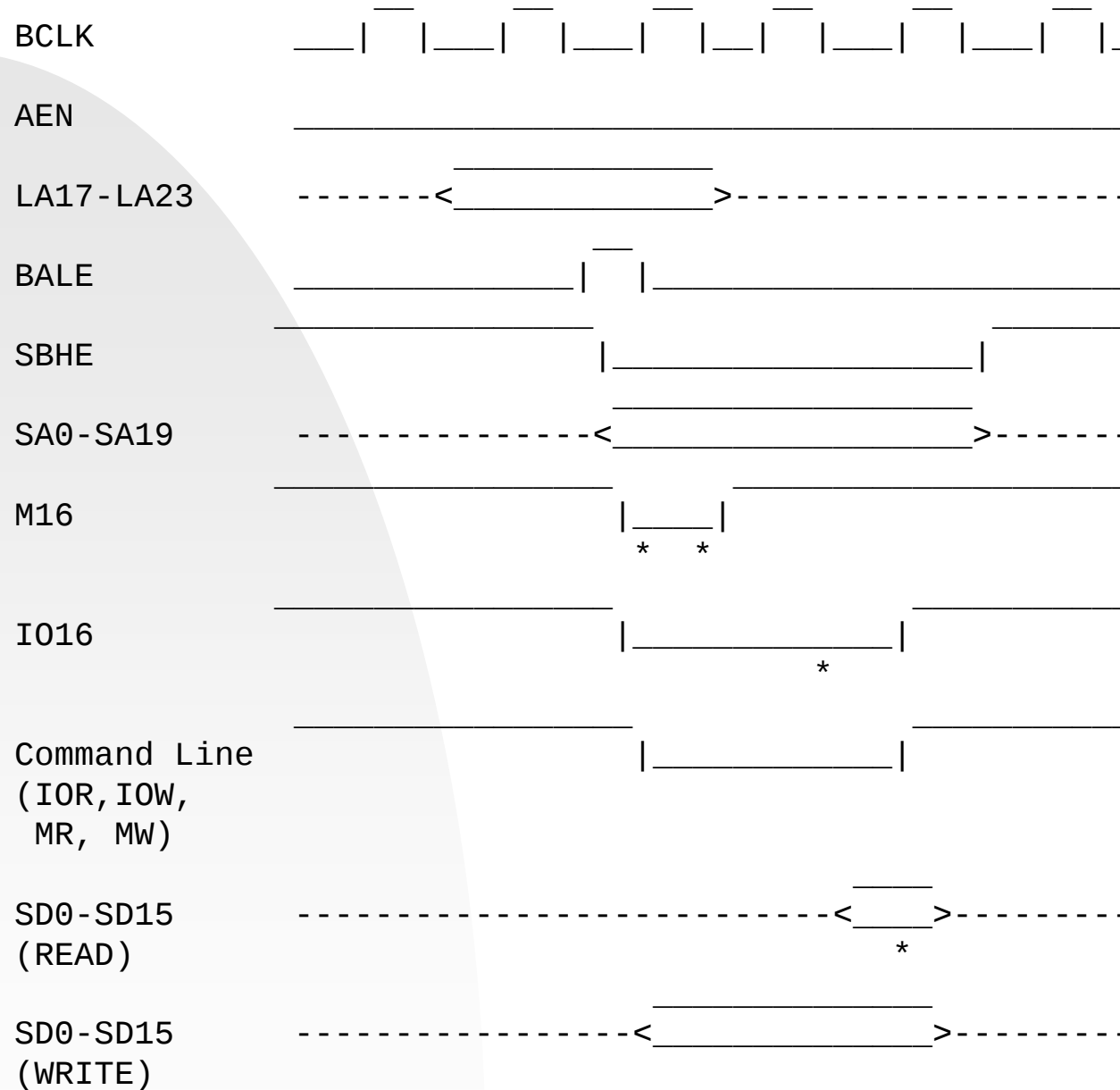
AEN Address enable. Postavi se pri DMA prenosu, da prepreči normalni prenos podatkov.

IRQ3-IRQ7, IRQ9-IRQ12, IRQ14-IRQ15 Prekinitvene linije.

14.3 Mhz 14.31818 za video.

...

Časovni diagram



PCI (Peripheral Component Interconnect)

- Danes najpogostejše uporabljeno vodilo
- 32 bit, PnP, podpira več gospodarjev

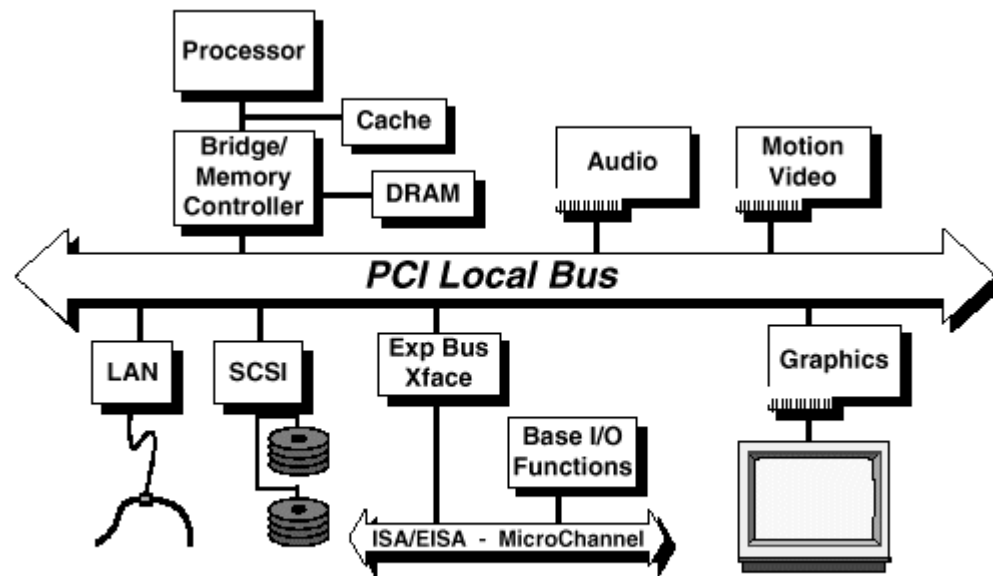


Figure 1-2: PCI System Block Diagram

Delovanje PCI vodila

- sinhrono podatkovno vodilo z več gospodarji in sužnji ter arbiterjem, ki skrbi za dodeljevanje vodila
- multipleksirane naslovne in podatkovne linije
- vsaka operacija je sestavljena iz naslovne faze in iz ene ali več podatkovnih faz:

1a. Gospodar postavi naslov sužnja in vrsto operacije (branje, pisanje, ...)

1b. Suženj potrdi pripravljenost za izvedbo operacije

2. V taktu z uro se izvede prenos enega ali več podatkov. Tako suženj kot gospodar lahko vplivata na hitrost prenosa podatkov.

Prenos običajno zaključi gospodar, lahko pa ga prekine suženj ali druga naprava na vodilu (ob napaki).

Standardni priključki PCI vodila

CLK	Sistemska ura s katero so sinhronizirani ostali signali.
AD[31:0]	Multipleksirano vodilo za naslove in podatke. Naslov je vedno poravnan na besedo (AD[1:0]='00'). AD[31:24] je najpomembnejši zlog, AD[7:0] je najmanj pomemben zlog.
C/BE[3:0]#	Ukaz vodila (Bus Command) v naslovni fazi: 1010 Configuration Read 1011 Configuration Write 0110 Memory Read 1100 Memory Read Multiple (čitanje strani) 0111 Memory Write Selektiranje bajtov (Byte Enables) v podatkovni fazi: - bit C/BE[3] ustreza AD[31:24] zlogu ... - bit C/BE[0] ustreza AD[7:0] zlogu

FRAME#

Okvir (Cycle Frame). Postavi gospodar, da označi trajanje dostopa do vodila. FRAME# se postavi na začetku prenosa podatkov in je postavljen dokler traja prenos.

IRDY#

Iniciator je pripravljen (Initiator Ready). Označuje možnost gospodarja, da dokonča trenutno podatkovno fazo.

TRDY#

Ciljna naprava je pripravljena (Target Ready). Signalizira zmožnost ciljne naprave, da je sposobna dokončati trenutni podatkovni cikel. Uporablja se v kombinaciji z IRDY# signalom za krmiljenje hitrosti prenosa podatkov.

DEVSEL#

Izbira naprave (Device Select). Preko nje naslovljena enota sporoči, da je razpoznala naslov.

Časovni diagrami

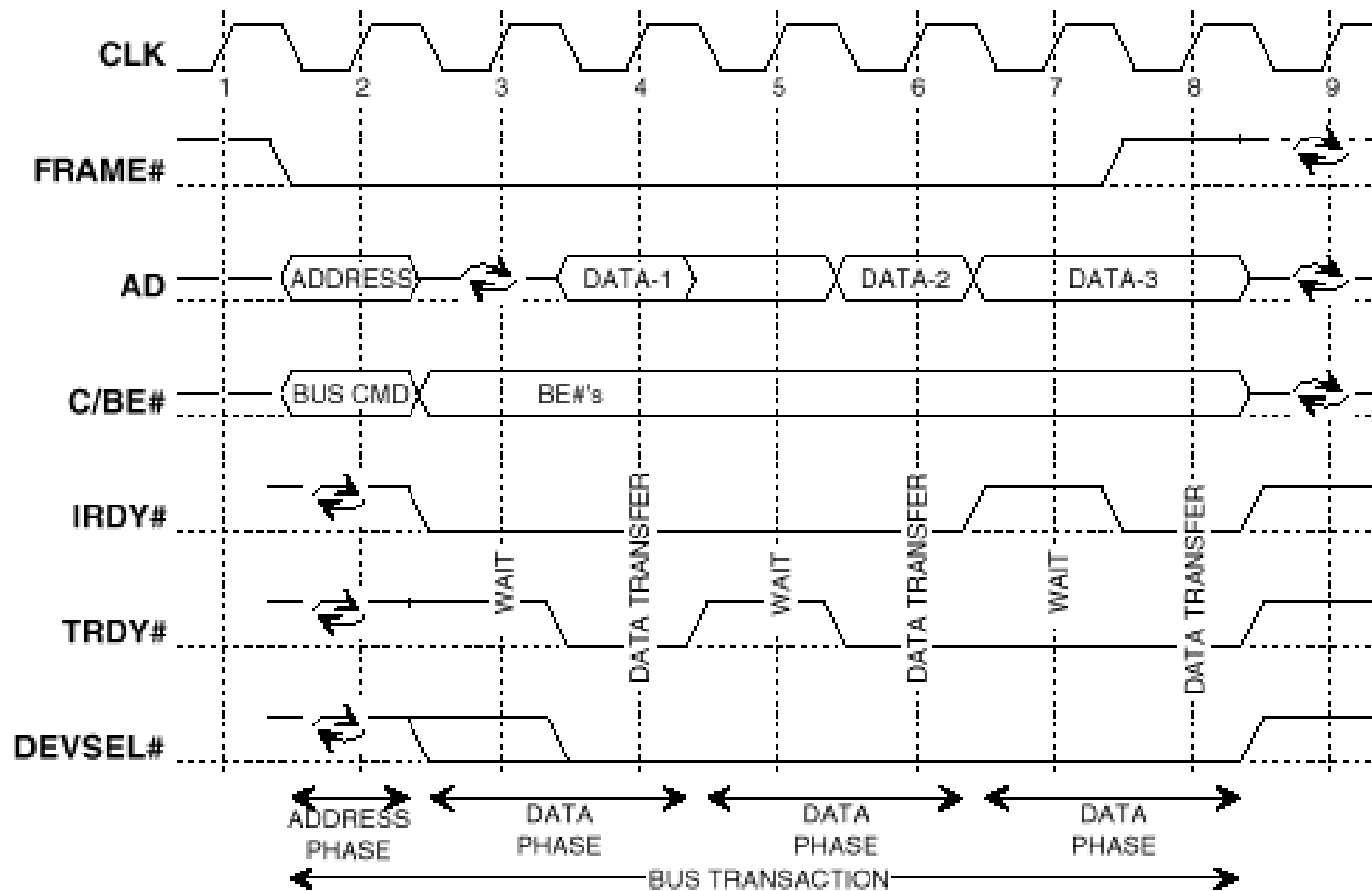


Figure 3-1: Basic Read Operation

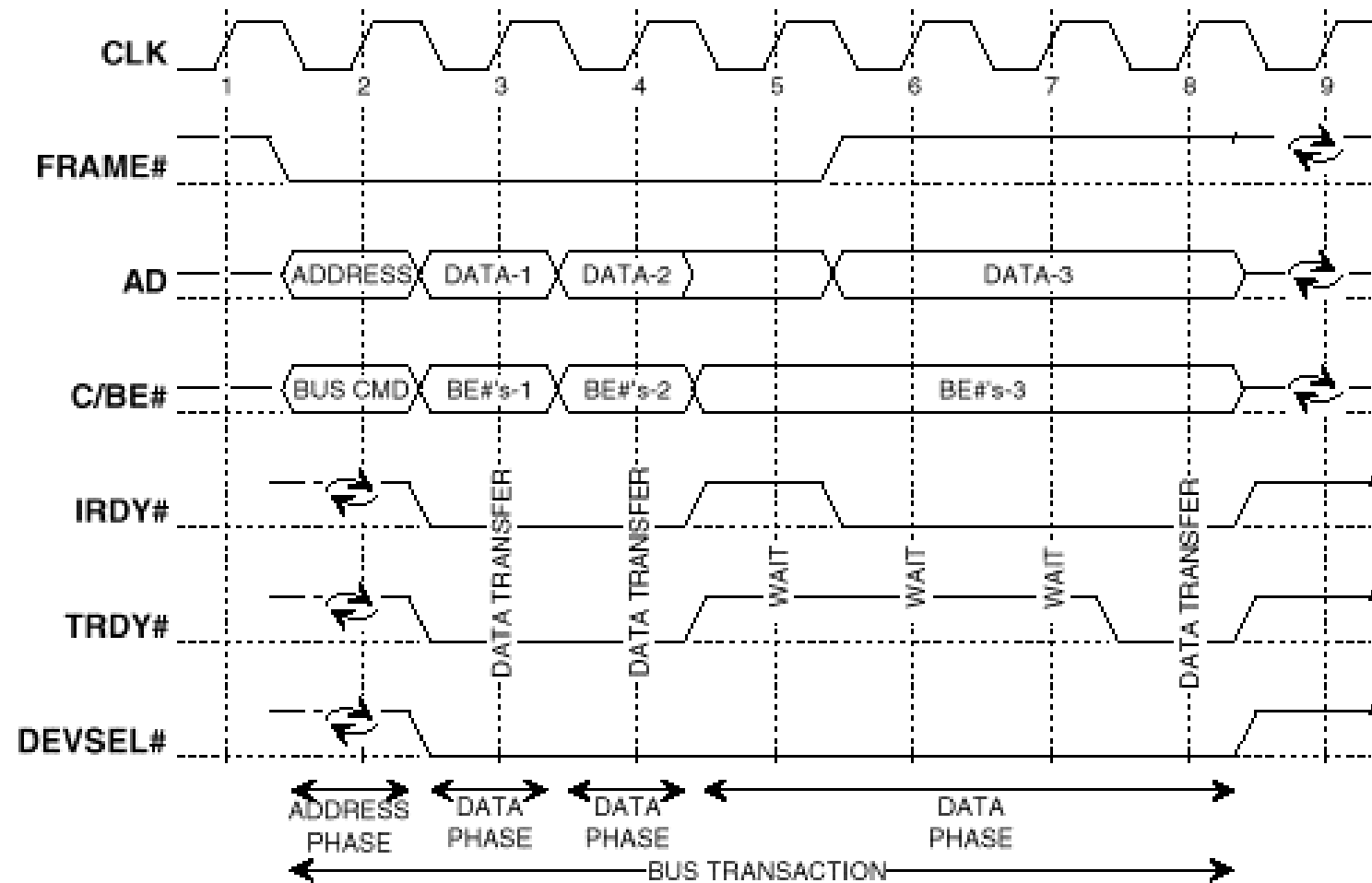


Figure 3-2: Basic Write Operation

Ostali priključki PCI vodila

PAR,PERR# Pariteta, napaka paritete. Soda pariteta preko AD[31:0] in C/BE[3:0]# signalov. Generira jo gospodar za naslovno fazo in za podatkovno fazo pisanja. Generira jo suženj ob podatkovni fazi čitanja. Napako paritete javi naprava, ki sprejema podatke.

REQ#,GNT# Zahteva za vodilom, potrditve zahteve. Za arbitražo vodila.

STOP# S tem signalom ciljna naprava obvesti gospodarja, da prekine s prenosom iz kakršnih koli razlogov (napaka).

IDSEL Izbira naprave ob inicializaciji (Initialization Device Select). Se uporablja ob vzpostavitvi konfiguracije sistema.

**AD[63:32],
C/BE[7:4],
REQ64#,
ACK64#,PAR64#** Razširitvene linije za 64 bitni dostop.